

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 9 月 19 日 (19.09.2002)

PCT

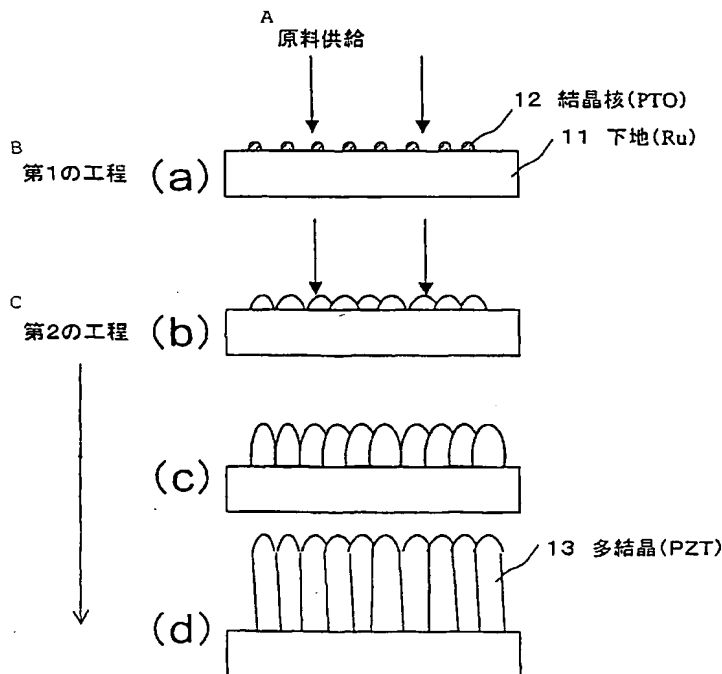
(10) 国際公開番号
WO 02/073679 A1

- (51) 国際特許分類: H01L 21/316, C23C 16/40, H01L 21/8242, 27/105, 27/108 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 辰巳 徹 (TAT-SUMI, Toru) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/02229 (74) 代理人: 金田 暢之, 外 (KANEDA, Nobuyuki et al.); 〒107-0052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).
- (22) 国際出願日: 2002 年 3 月 11 日 (11.03.2002) (81) 指定国 (国内): CN, KR, US.
- (25) 国際出願の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-67133 2001 年 3 月 9 日 (09.03.2001) JP 添付公開書類:
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).

[続葉有]

(54) Title: VAPOR GROWTH METHOD FOR METAL OXIDE DIELECTRIC FILM AND PZT FILM

(54) 発明の名称: 金属酸化物誘電体膜の気相成長方法及びPZT膜



A...MATERIAL SUPPLY 12...CRYSTAL NUCLEUS (PTO)
B...FIRST PROCESS 11...BASE (RU)
C...SECOND PROCESS 13...POLYCRYSTAL (PST)

(57) Abstract: When forming, on a base conductive material, a metal oxide dielectric film having an ABO_3 crystal structure by using an organic metal material gas, the initial nucleus of a perovskite crystal or the initial amorphous layer of an amorphous structure is formed on the base conductive material under a first film-forming condition, and then a perovskite-crystal-structure film is grown on the formed crystal initial nucleus or initial amorphous layer under a second film-forming condition; the first film-forming condition requiring at least either (a) a substrate lower than that required by the second film-forming condition, or (b) a material gas pressure higher than that required by the second film-forming condition. This method can grow a film such as a PZT film with a minimum leak current.

[続葉有]

WO 02/073679 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

下地導電性材料上へ有機金属材料ガスをを用いてABO₃型結晶構造を有する金属酸化物誘電体膜を形成する際に、第一の成膜条件で、下地導電性材料上にペロブスカイト型結晶の初期核またはアモルファス構造の初期アモルファス層の形成を行なった後、第二の成膜条件で、形成した結晶の初期核または初期アモルファス層上にさらにペロブスカイト型結晶構造の膜成長を行う。その際、前記第一の成膜条件が、(a) 第二の成膜条件よりも基板が低い条件、および(b) 第二の成膜条件よりも原料ガス圧力が高い条件の少なくともどちらかを満たすようにする。この方法によりリーク電流が少ないPZT等の膜を成長させることができる。

金属酸化物誘電体膜の気相成長方法及びP Z T膜

技術分野

本発明は容量素子を有する半導体装置の製造方法に関し、特に有機金属材料ガスを用いた、半導体集積回路のキャパシタもしくはゲートに用いられる高誘電体膜、強誘電体膜の成膜方法に関するものである。

背景技術

近年、強誘電体容量を利用した強誘電体メモリーや、高誘電体容量を利用したダイナミック・ランダム・アクセス・メモリー（DRAM）等が活発に研究開発されている。これらの強誘電体メモリーおよびDRAMは選択トランジスタを備えており、該選択トランジスタの一方の拡散層に接続された容量をメモリセルとして情報を蓄えている。強誘電体容量は容量絶縁膜として $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ （以下「P Z T」と呼ぶ）等の強誘電体膜を用いており、強誘電体を分極させることにより不揮発性の情報を蓄えることができる。一方、高誘電体容量は、容量絶縁膜として $(\text{Ba}, \text{Sr})\text{TiO}_3$ （以下「B S T」と呼ぶ）等の高誘電体薄膜を用いているため、容量のキャパシタンスを高めることができ、素子を微細化することが可能になる。半導体素子にこの様なセラミック材料を使用する上で、下部電極となる導電膜上に堆積されたこの様なセラミック材料を微細な容量として電氣的に分離することが極めて重要である。

薄膜の堆積方法として従来ゾルゲル法、スパッタ法、CVD法が報告されている。

強誘電性能等を発現させるためには、結晶化させ、結晶の配向をそろえる必要があり、ゾルゲル法およびスパッタ法では、一旦成膜した後、結晶化のために酸素中での高温アニールが必要である。金属酸化物誘電体膜がP Z Tの場合、十分な強誘電体特性を示す結晶化温度は600℃であり、B S Tの場合、十分な高誘電体特性を示す結晶化温度は650℃であるので、アルミ配線形成後の半導体基板上に、結晶性の金属酸化物誘電体膜を形成することができない。さらにゾルゲ

ル法は、大口径ウエハーに対応することが難しくまた段差被覆性が悪い等の問題があり、一方、スパッタ法も組成がターゲットの組成でほとんど決まってしまうために組成を変化させるにはターゲットの交換が必要であり、工程的に不利である等の問題がある。

そこでCVD法は、大口径ウエハーにおける均一性および表面段差に対する被覆性に優れ、ULSIに応用する場合の量産化技術として有望である。

特に、特開2000-58525号公報には、有機金属材料ガスと酸化ガスをを用いてペロブスカイト型金属酸化物誘電体膜を下部電極上に形成する方法として、まず第1の条件にて結晶の初期核または初期層を形成して、その後、成膜温度はそのまま原料ガスの供給量を第1の条件から変えた第2の条件にて、成膜を行う気相成長方法（CVD法）が記載されている。この方法によれば、Pt、Ru、Ir等の金属、またはRuO₂、IrO₂等の酸化物導電性材料電極上に、450℃程度以下の温度で配向性の良いペロブスカイト型結晶を成膜することができる。従って、アルミ配線を形成した後の半導体基板上にも金属酸化物誘電体膜を形成することができ、また高いキャパシタンスを有するので素子を微細化することが可能である。

一方、高速化、微細化を行うためには電源電圧の減少が必須であり、容量絶縁膜に必要な電界を与えるために、セラミックス容量絶縁膜の薄膜化が必要であるが、薄膜化するほどリーク電流は顕著になる。そして特開2000-58525号公報記載の方法によっても、成膜条件によってはリーク電流が多いという問題点があり、特に容量下部電極材料としてRu、Ir、またはRuO₂、IrO₂等の酸化物を用いる場合に顕著であった。

ところで、強誘電体メモリ（FeRAM）では、データを読み出す場合、自発分極より固定された電荷により、ビット線電圧が持ち上げられる量を近接にある逆方向に書き込まれた容量のビット線電圧と比較し、その差をセンサーアンプで検知する。このビット線電圧差がセンサーアンプの検知限界である50mV以下になると、そのビットは不良ビットとなる。チップの歩留まりを向上するためには、ビット線電圧差を大きくすること、即ちヒステリシス特性を大きく立たせることが必要である。しかし、多数のメモリーを集積化した場合、容量素子ごとにビッ

ト線電圧差にばらつきがあり、分布の裾に少数の不良ビットが出現することが多い。

さらに、実際の半導体装置の製造工程においては、リソグラフィ工程においてマスクの位置合わせが繰り返し必要であるが、P Z T等の金属酸化物誘電体膜を成膜すると、その結晶化状態によっては膜が白濁して乱反射が起こり位置合わせマークが見えなくなり、その後の位置合わせが困難になる問題があった。この、薄膜の加工性が悪化するという問題も、特に容量下部電極材料としてR u、I r、またはR u O₂、I r O₂等の酸化物を用いる場合に顕著であった。

発明の開示

本発明は、このような従来の問題点に鑑みてなされたものであり、本発明はリーク電流が少ない酸化物誘電体薄膜、特にP Z T膜（P b（Z r，T i）O₃膜）の気相成長方法を提供することを目的とする。また、本発明の異なる目的は、P Z T膜を成膜した後でも、膜の平坦性がよくその結果光の乱反射が少なく、マスクの位置合わせが問題なく行うことのできるP Z T膜の気相成長方法を提供することである。さらに、本発明の一態様における目的は、容量素子の形成に適用したときに、容量素子ごとのビット線電圧差のばらつきが小さく、不良ビットの出現を小さくすることができる酸化物誘電体薄膜の製造方法を提供することである。

本発明は、下地導電性材料上への有機金属材料ガスを用いたA B O₃で表されるペロブスカイト型結晶構造を有する金属酸化物誘電体膜の気相成長方法において、第一の成膜条件で、前記下地導電性材料上にペロブスカイト型結晶の初期核の形成、またはアモルファス構造の初期アモルファス層の形成を行う第1の工程と、前記第一の成膜条件とは異なる第二の成膜条件で、第1の工程で形成した結晶の初期核または初期アモルファス層上にさらにペロブスカイト型結晶構造の膜成長を行う第2の工程とを有し、

その際、前記第一の成膜条件が、

- (a) 第二の成膜条件よりも基板温度が低い条件、および
- (b) 第二の成膜条件よりも原料ガス圧力が高い条件

の少なくともどちらかを満たすことを特徴とする金属酸化物誘電体膜の気相成長方法に関する。

また、本発明の1つの好ましい態様として、第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスのすべてを用いて、初期核形成または初期アモルファス層の形成を行い、第二の成膜条件で、有機金属材料ガスのすべてを用い且つ供給条件を変更してペロブスカイト型結晶構造の膜成長を行う方法が挙げられる。

また、本発明の1つの好ましい態様として、第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスの一部のみを用いて、初期核形成または初期アモルファス層の形成を行い、第二の成膜条件で、有機金属材料ガスのすべてを用いてペロブスカイト型結晶構造の膜成長を行う方法が挙げられる。

本発明の方法は、容量素子を有する半導体装置の製造方法に適用することができる。代表的な3形態は次のとおりである。

半導体基板上にMOS型トランジスタを形成する工程と、このトランジスタ上に第一層間絶縁膜を形成する工程と、この第一層間絶縁膜に前記MOS型トランジスタの拡散層に達するコンタクトを開口して金属プラグを埋めて電気的な導通をとる工程と、この金属プラグを有する第一層間絶縁膜全面に、容量下部電極層を形成する工程と、この容量下部電極層全面に上記の気相成長方法を用いて金属酸化物誘電体膜を成膜する工程と、この金属酸化物誘電体膜全面に、容量上部電極層を形成する工程と、前記下部電極層、前記金属酸化物誘電体膜及び前記容量上部電極層を、パターニングし、三層の積層構造の容量を得る工程とを有する半導体装置の製造方法。

半導体基板上にMOS型トランジスタを形成する工程と、このトランジスタ上に第一層間絶縁膜を形成する工程と、この第一層間絶縁膜に前記MOS型トランジスタの拡散層に達するコンタクトを開口して金属プラグを埋めて電気的な導通をとる工程と、この金属プラグを有する第一層間絶縁膜全面に、容量下部電極層を形成する工程と、前記容量下部電極層をパターニングし、金属プラグ上に容量下部電極を形成する工程と、このパターニングした容量下部電極と第一層間絶縁膜上全面に、上記の気相成長方法を用いて金属酸化物誘電体膜を成膜する工程と

、この金属酸化物誘電体膜全面に、容量上部電極層を形成する工程と、この容量上部電極層をパターニングし、容量下部電極、金属酸化物誘電体膜及び容量上部電極の三層の積層構造の容量を得る工程とを有する半導体装置の製造方法。

半導体基板上にMOS型トランジスタを形成する工程と、このトランジスタ上に第一層間絶縁膜を形成する工程と、この第一層間絶縁膜に前記MOS型トランジスタの拡散層に達するコンタクトを開口して金属プラグを埋めて電氣的な導通をとる工程と、この第一層間絶縁膜上に金属プラグと電氣的に導通するアルミ配線を形成する工程と、このアルミ配線上に第二層間絶縁膜を形成する工程と、この第二層間絶縁膜に前記アルミ配線に達するコンタクトを開口して金属プラグを埋めて電氣的な導通をとる工程と、この金属プラグを含む第二層間絶縁膜全面に、容量下部電極層を形成する工程と、この容量下部電極層全面に上記の気相成長方法を用いて金属酸化物誘電体膜を成膜する工程と、この金属酸化物誘電体膜全面に、容量上部電極層を形成する工程と、前記容量下部電極層、前記金属酸化物誘電体膜及び前記容量上部電極層をパターニングし、三層の積層構造の容量を得る工程とを有する半導体装置の製造方法。

上記のアルミ配線は、多層化されていても良い。

図面の簡単な説明

図1は、低温核付け法または高圧核付け法によるPZTの成長の様子を模式的に示す図である。

図2は、低温核法による核形成の様子を模式的に示す図である。

図3は、高圧核法による核形成の様子を模式的に示す図である。

図4は、PZT膜を成膜するときの結晶化領域とアモルファス領域を示す相図を模式的に示す図である。

図5は、450℃でチタン酸鉛の核付けを行ったときのRu下地金属膜の表面を原子間力顕微鏡で観察した画像（写真）である。

図6は、410℃でチタン酸鉛の核付けを行ったときのRu下地金属膜の表面を原子間力顕微鏡で観察した画像（写真）である。

図7は、360℃でチタン酸鉛の核付けを行ったときのRu下地金属膜の表面

を原子間力顕微鏡で観察した画像（写真）である。

図 8 は、気相成長過程を順に原子間力顕微鏡で観察した画像（写真）である。

図 9 は、450℃で核付けを行い450℃でPZT成膜を行ったときの表面を走査型電子顕微鏡写真で観察した画像（写真）である。

図 10 は、380℃で核付けを行い450℃でPZT成膜を行ったときの表面を走査型電子顕微鏡写真で観察した画像（写真）である。

図 11 は、450℃で核付けを行い450℃でPZT成膜を行ったときの断面を透過型電子顕微鏡写真で観察した画像（写真）である。

図 12 は、380℃で核付けを行い450℃でPZT成膜を行ったときの断面を透過型電子顕微鏡写真で観察した画像（写真）である。

図 13 は、350℃で核付けを行い450℃でPZT成膜を行ったときの断面を透過型電子顕微鏡写真で観察した画像（写真）である。

図 14 は、350℃で核付けを行い450℃でPZT成膜を行ったときのリーク電流特性を示す図である。

図 15 は、450℃で核付けを行い450℃でPZT成膜を行ったときのリーク電流特性を示す図である。

図 16 は、核付け温度を変化させてPZTを成膜したときのヒステリシス特性を示す図である。

図 17 は、核付け温度を変化させてPZTを成膜したときの疲労特性を示す図である。

図 18 は、核付け温度を380℃一定としPZT成膜温度を変化させたときのヒステリシス特性を示す図である。

図 19 は、(a) 核付け圧力0.1 Torr、(b) 核付け圧力1 Torrでそれぞれ核付けを行い、第2の工程で圧力0.1 TorrとしてPZT膜成膜した後の膜表面を原子間力顕微鏡で観察した画像（写真）である。

図 20 は、1 Torrで高圧核付けを行った膜のヒステリシス特性を示す図である。

図 21 は、核付け圧力とグレインサイズの関係を示す図である。

図 22 は、(a) 核付け圧力0.1 Torr、(b) 核付け圧力1 Torrで

それぞれ核付けを行い、第2の工程で圧力0.1 TorrとしてPZT膜成膜した膜のリーク電流特性を示す図である。

図23は、グレインサイズとビット線ばらつきおよび自発分極の関係を示す図である。

図24は、グレインサイズが小さくなると、不良ビット出現が少なくなる理由を説明するための図である。

図25は、(a)、(b)はそれぞれ次の条件で成膜したPZT膜の表面を原子間力顕微鏡で観察した写真(画像)である。

(a) 第1の工程でPZTの初期アモルファス層を形成してから、PZT成長を行った膜

(b) 第1の工程で従来法によるPTO核付けしてから、PZT成長を行った膜

図26は、初期アモルファス層形成法により成膜したPZT膜のX線回折スペクトルである。

(a) 初期アモルファス層形成直後

(b) PZT膜成膜後(初期アモルファス層形成法による膜の他、従来の方法により形成した膜のX線回折も同時に示した。)

図27は、(a)、(b)はそれぞれ次の条件で成膜したPZT膜のリーク電流特性を示す図である。

(a) 初期アモルファス層形成法

(b) 従来法

図28は、本発明を適用したデバイス製造工程の1例を示す図である。

図29は、本発明を適用したデバイス製造工程の1例を示す図である。

図30は、本発明を適用したデバイス製造工程の1例を示す図である。

図31は、本発明を適用したデバイス製造工程の1例を示す図である。

図32は、本発明を適用したデバイス製造工程の1例を示す図である。

図33は、従来の方法によるPZTの成長の様子を模式的に示す図である。

図34は、核形成の様子を模式的に示す図である。

主要な符号の説明

- 1 1 下地 (R u) 膜
- 1 2 結晶核 (P T O)
- 1 3 多結晶 (P Z T) 膜
- 1 4、1 4 b 前駆体
- 1 9 1 下地 (R u)
- 1 9 2、1 9 2 a 前駆体
- 1 9 3 結晶核 (P T O)
- 1 9 4 多結晶 (P Z T) 膜
- 1 9 5 結晶粒界

発明を実施するための最良の形態

図 3 3 は、従来の M O C V D による低温成膜方法で、下地導電性材料（以下、下地材料、下地膜ともいう。）である R u 膜 1 9 1 の上に金属酸化物誘電体である P Z T の多結晶膜 1 9 4 を成長した様子を模式的に示したものである。ここでは、特開 2 0 0 0 - 5 8 5 2 6 号公報に記載されているように、まず P b、T i の有機金属原料ガスおよび酸化ガスのみを用いた第 1 の成膜条件で P T O（チタン酸鉛： $P b T i O_3$ ）結晶核 1 9 3 を形成し、その後同一温度、同一圧力でさらに Z r 原料ガスを加えた第 2 の成膜条件で P Z T を成膜した場合を例に説明する。

本発明者の検討によれば、R u、I r、 $R u O_2$ 、 $I r O_2$ のような表面に導電性酸化膜が形成されその結果 P b、T i、Z r 等の結晶成分金属と極めて反応しにくい下地金属の表面に、P T O 結晶核 1 9 3 の形成を行った場合、図 3 3 に示す様に下地金属の多結晶粒密度よりも少ない密度のペロブスカイト核が形成される（図 3 3（a）、（b））。この様子を図 3 4 を用いて説明すると、図 3 4（a）、（b）に示すように下地 R u 膜 1 9 1 の表面に堆積した前駆体 1 9 2 は、表面で拡散移動し互いに衝突合体して結晶核 1 9 3 となる。従って、結晶核 1 9 3 同士の距離 L は、前駆体の表面拡散距離で決まると考えられる。ある程度、結晶核ができた後に下地表面に堆積した前駆体 1 9 2 a（図 3 4（b））は、表面を移動して、その表面拡散距離内に存在している結晶核 1 9 3 に取り込まれて結晶核を成長させると考えられる。

450℃におけるペロブスカイト核密度は約1個/500nm角でありこの核を中心としてPZTの成膜を行った場合、グレインサイズ（結晶粒径）は約500nmとなる。このペロブスカイト核はほとんどランダムな方向を向いており、次のPZT成膜においてPZT多結晶粒の方位はほとんどランダムとなる。PZT多結晶194のグレインサイズが大きくなると表面に生じるファセット面が大きくなり、PZT表面の凹凸が大きくなる（図33（c）、（d））。

このために、粒界195において、表面と下地金属との距離が短くなりリーク電流が大きくなる問題が発生する。これは膜厚を薄くするほど顕著になる。また、形成したPZT膜を通してその下の位置合わせマークが見え難い理由も、表面の凹凸が大ききことにより表面で乱反射が大ききことによる。

さらに、本発明者の検討によれば、多数のメモリーを集積化した場合に出現する、容量素子ごとのビット線電圧差のばらつきに関しても、グレインサイズに関係していることがわかった。即ち、グレインサイズが大きいと、微小な容量では容量部に存在するPZT多結晶粒が少なくなり多結晶粒間のばらつきが顕在化するためである。例えば、容量の面積が1ミクロン角でありPZTのグレインサイズが500nmである場合、この容量に含まれるPZT多結晶粒の数は数個になってしまう。この場合、一つの多結晶粒の特性が得られないと容量全体のヒステリシス特性に与える影響が大きい。これがビット線電圧分布のばらつきの原因となっている。

また、金属酸化物誘電体を構成する全ての金属元素の原料有機金属ガスを用いて核付けを行い、その後流量を変化させて成膜を行う場合についても、Ru, Ir, RuO₂, IrO₂の等の基板上では十分な平坦性が得られないと言う事情は同様であった。

そこで本発明では、金属酸化物誘電体の成膜工程を、互いに条件の異なる第1の工程と第2の工程に分け（それぞれの条件を第一の成膜条件、第二の成膜条件とする。）、第1の工程において下地導電性材料上にペロブスカイト型結晶の初期核の形成、またはアモルファス構造の初期アモルファス層の形成を行い、第2の工程で、第1の工程で形成した結晶の初期核または初期アモルファス層上にさらにペロブスカイト型結晶構造の膜成長を行う。そしてその際に、第一の成膜条件が、（a）第二の成膜条件よりも基板温度が低い条件、および（b）第二の成膜条

件よりも圧力が高い条件の少なくともどちらかを満たすようにすると、以上の問題が解決できる。

尚、本発明で「基板温度」は、金属酸化物誘電体膜が成膜される下地導電性材料の温度を意味するが、慣例に従って、基板温度という。

以下、第1の工程でペロブスカイト型結晶の初期核の形成を行う場合と、アモルファス構造の初期アモルファス層の形成する場合に分けて説明する。

＜初期核を形成する態様＞

本発明において、結晶の初期核とは、結晶核がアイランド状態で存在している状態のものと、結晶核のアイランドが結合して層状になったものの両方を含む。いずれも適当な条件で成膜することにより、良好な結晶核を含むものである。初期核が層状の場合、その上に第2の工程で組成の異なる金属酸化物誘電体の膜を形成した場合でも、初期核の層が第2の工程で形成した層に吸収されて初期核の層の存在が認識されないか、または層の存在が認識されても第2の工程で形成した金属酸化物誘電体膜の層の電気的特性に何ら影響を与えない。従って、本発明でいう初期核は、アイランドが結合しても連なった層を形成する前の状態をも含むものである。通常の場合では、初期核がアイランドの状態第1の工程を終了するのが、制御しやすいので好ましい。アイランド状の場合および層状の場合いずれも、初期核の厚さは、通常5 nm以下程度、好ましくは3 nm以下で、また1 nm以上である。

本態様で、第一の成膜条件として、(a) 第二の成膜条件よりも基板温度が低い条件、および(b) 第二の成膜条件よりも圧力が高い条件のどちらかを採用して初期核を形成すると、最終的に得られる金属酸化物誘電体膜のグレインサイズが小さくなり、表面の凹凸が小さくなる。以下の説明、または図面において(a)、(b)の条件を採用したものをそれぞれ「低温核付け法」、「高圧核付け法」と呼ぶこともある。

本発明の実施の形態をRu膜（下地金属膜）の上にPZTの多結晶を、まず第1の成膜条件でPTO（チタン酸鉛： PbTiO_3 ）の結晶核を形成し、その後第2の成膜条件でPZTを成膜した場合を例にとって、図1を用いて模式的に説明する。図1(a)は、第1の工程において、下地Ru膜11の表面に核形成した

ところの様子である。核形成の温度が第二の成膜条件より低い、または核形成の圧力が高いと第2の工程における第二の成膜条件にて核形成した場合よりも結晶核12の密度が増加する。図2は、核形成の様子を示した図であり、

図2は、第一の条件として低温条件を選んだ場合の模式図である。図2(a)、(b)に示すように、下地表面の前駆体14が互いに衝突合体して結晶核12を形成するのは、前述の機構2と同様であるが、低温では表面拡散距離が短いため衝突合体が生じる距離が短くなり、結晶核同士の距離 L が小さいと考えられる。図2(a)に示すように、ある程度、結晶核ができた後に下地表面に前駆体14bが堆積した場合、高温であれば近傍の結晶核に吸い込まれるような場合であっても、低温では表面拡散距離が小さくなっているためその範囲内に結晶核が存在しない場合には、近傍にその後に堆積されてくる前駆体と衝突合体して別個の結晶核を形成すると考えられる。このようにして、低温核付けでは核密度が増加する。

図3は、第一の条件として高圧条件を選んだ場合の模式図である。下地表面の前駆体14が互いに衝突合体して結晶核12を形成するのは、同様であるが、図3(a)に示すように、原料供給量が多いと表面には多くのガスが存在し、前駆体14は頻繁に衝突をおこすために、実質的な表面拡散距離が短くなる。そして近傍の前駆体同士で直ちに衝突合体して結晶核12を形成し、位置が固定されてしまい、結晶核同士の距離 L が小さくなって核密度が増加するものと考えられる。

図1(b)は核形成後、第2の工程に入って、第二の成膜条件で成膜を始めたところの様子を示しているが、このように、一度、PTO結晶核が生じると表面における移動が起こりにくくなり、温度を上昇させても核密度に変化はない。その後、PZTを成膜すると核の密度が増加しているので、小さいグレインサイズのままPZT多結晶13が成長し(図1(c))、その結果、図1(d)に示すように、PZT膜の表面の平坦性が向上する。

再度後述するが、第2の工程で採用される第二の成膜条件は通常の本成膜工程に相当し、結晶性等から好ましい範囲が存在する。仮に、第1の工程の核付けと第2の工程の成膜を共に低温で行った場合、例えば上記の例では、PTOに比べ

てP Z Tの結晶化温度が高いために膜の結晶性が悪化したり、非晶質となって十分な分極値が得られないなど電気的特性が悪化しやすい。また、仮に第1の工程と第2の工程を共に高圧で行った場合、本成膜である第2の工程で前駆体の表面拡散距離が短く、結晶の正確な格子位置に到達できないために結晶性が悪化しやすい。

＜低温核付け法の条件＞

低温核付け法を主体としてグレインサイズ制御を行う場合、核形成するときの（即ち、第1の工程における）基板温度（即ち、下地導電性材料の温度）は、通常350℃～450℃、好ましくは370℃以上、400℃以下である。第1の工程の温度は、結晶核が生成する温度で下限温度が制限される。この温度は、核付けを行うときの組成にも依存する。P Z T膜を成膜する場合は、図4に模式的に示すように、Z rの少ない組成で核付けする方が低温での核付けが可能である。通常、良好な結晶化が可能な温度は約350℃以上であり、370℃以上であれば核として用いるのに十分な結晶性のものが得られる。また、誘電体膜に要求されるリーク耐性と加工性の観点から核付け温度の上限がきまる。ここで、リソグラフィ加工の目合わせの際に支障が無いという意味では、グレインサイズが概ね150 nm以下となるような条件が望ましい。核付けを400℃以下で行えば、この条件が満たされる。

また、第1の工程の時間は、ごく短時間であっても、原料ガスを酸化ガスと共に供給すれば、それだけ成膜される金属酸化物誘電体膜の表面の凹凸が減少する。但し、第1の工程が長すぎると第1の工程ではP bを多く送っているためP b O膜が析出するので、P b O膜が生成する前までの時間および条件が限度になる。P b O膜が生成するまでの時間は条件によって異なるが、X線回折により実験的に容易に調べることができる。一般的には、60秒以下であり、好ましくは3秒～20秒である。

本成膜するときの（即ち、第2の工程における）基板温度（即ち、下地導電性材料の温度）は、通常400℃～700℃、好ましくは400℃以上、470℃以下、特に450℃以下である。また、第2の工程の基板温度は第1の工程よりも高くする。第2の工程の温度に関しては、通常の気相成長方法では、温度が高

い方が大きな分極が得られ従って大きな容量値が得られるが、リーク電流も大きくなる傾向にある。しかし、本発明を適用することにより、リーク電流も小さくすることができる。また、実際の半導体装置において、アルミニウム配線が済んだ基板上に金属酸化物誘電体膜を形成する場合には、アルミニウム配線の耐熱性を考慮して、450℃以下で第2の工程を行うことが好ましい。

従って、最も好ましい温度条件は、370℃～400℃の温度で核付けを行い、次に400℃～450℃に昇温して成膜を行うことである。

また原料ガス圧力は、第1の工程では、圧力が高すぎると結晶化が進まないの
で100 Torr (13.3 kPa) 以下が好ましく、例えば20 Torr (2.67 kPa) 以下である。第2の工程では、圧力が高すぎると結晶性が悪化する
ので1 Torr (133 Pa) 以下、特に200 mTorr (26.7 Pa) 以下が好ましい。圧力が低すぎると膜成長が進まない
ので実用上は、第1の工程、第2の工程ともに 1×10^{-4} Torr (1.33×10^{-2} Pa) 以上が好ましい。

<高圧核付け法の条件>

次に、高圧核付けを主体としてグレインサイズ制御を行う場合、核形成するときの（即ち、第1の工程における）原料ガス圧力は0.1～100 Torr (13.3 Pa～13.3 kPa)、好ましくは1 Torr (133 Pa) 以上、20 Torr (2.67 kPa) 以下である。第2の工程の原料ガス圧力は、圧力が高すぎると結晶性が悪化する
ので1 Torr (133 Pa) 以下、特に200 mTorr (26.7 Pa) 以下が好ましい。圧力が低すぎると膜成長が進まない
ので実用上は 1×10^{-4} Torr (1.33×10^{-2} Pa) 以上が好ましい。このような範囲で、第一の成膜条件における圧力が第2の成膜条件における圧力より高くなるように設定する。

また、このときの基板温度は、第一の成膜条件では350℃～700℃、第二の成膜条件では400℃～700℃に設定することが好ましい。

<低温核付け法および高圧核付け法に共通する条件>

以上、低温核付け法と高圧核付け法を別々に説明したが、実際の生産にあたっては、第一の成膜条件が、第二の成膜条件と比べて、

- (1) 基板温度が低い、圧力が同一；
- (2) 基板温度が同一、圧力が高い；
- (3) 基板温度が低い、圧力が高い

のいずれかで行うことが、工程の簡略上好ましい。低温核付け法と高圧核付け法の両方を同時に採用するとき〔(3)の条件〕は、両方の条件を満足するように条件を設定すればよい。

CVDの表面反応における核形成メカニズムは以上のとおりであるが、実際の系では前駆体の表面拡散速度等は数値が未知な部分が多い。しかし、温度・圧力を変化させて成膜した多結晶膜のグレインサイズをSEM等によって観察することによって、容易に最適なグレインサイズ、表面平坦性の条件を出すことができる。

この態様において用いられる下地導電性材料は、通常PZT等の酸化物誘電体成膜の下地膜（下地が直接基板である場合を含む）として用いられるものであれば材料を選ばずに実施できるが、特に従来の方法では十分な電気的特性、加工性の得られなかったRu、Ir、RuO₂またはIrO₂を用いる場合にその効果は顕著である。特に下地導電性材料としては、Ruが好ましい。なおここで、例えばRu基板を用いるというのは、核付け・成膜工程中にその最表面が酸化されてRuO₂層が形成される場合を含む。

実際の成膜において下地材料は単層膜であっても、多層膜であってもどちらでもよい。本発明を容量膜の形成に適用する場合、実際の半導体装置においては、種々の理由により多層膜である場合が多い。どちらの場合でも、金属酸化物誘電体膜が形成される下地材料の表面が、上記の材料であればよい。下地材料としてRuを用いたときに多層構造としたときの下層は、適宜選ぶことができるが、Tiの上にTiNおよびTiを積層したRu/Ti/TiN/Ti構造の場合、TiNが下地のプラグもしくは配線の酸化を抑えるバリアとして働く。中間にはさむTi層は剥がれ防止のための密着層である。さきの構造の層にさらにW層を設けたRu/Ti/TiN/Ti/W構造も、さらに好ましい。

また、本発明で成膜するABO₃で表されるペロブスカイト型結晶構造の金属酸化物誘電体としては、PZTの他に、STO〔SrTiO₃〕、BTO〔BaTi

O_3], BST [(Ba, Sr) TiO_3], PTO [Pb TiO_3], PLT [(Pb, La) TiO_3], PLZT [(Pb, La) (Zr, Ti) O_3], PNbT [(Pb, Nb) TiO_3], PNbZT [(Pb, Nb) (Zr, Ti) O_3], およびこれらの金属酸化物中にZrが含まれる場合にはZrをHf、MnまたはNiの少なくとも1種によって置き換えた金属酸化物等をあげることができる。

本発明では、構成金属元素の原料としてはそれらの有機金属化合物が用いられ、例えばPZT膜であれば、Pb原料としてはビスジピバロイルメタナート鉛 (Pb (DPM)₂)、Zr原料としてはジルコニウムブトキシド (Zr (OtBu)₄)、Ti原料としてはチタンイソプロポキシド (Ti (OiPr)₄) 等を挙げることができる。例えば、BST膜であれば、バリウムビスジピバロイルメタナート (Ba (DPM)₂)、ストロンチウムビスジピバロイルメタナート (Sr (DPM)₂)、テトライソプロポキシチタン (Ti (OiPr)₄) 等のガスが挙げられる。

また、有機金属材料ガスが、下地導電性材料上で合金化しないように表面上で十分酸化させ、酸素欠損を起こさせないために、有機金属材料ガスの他に、酸化ガスを使用することが好ましく、酸化ガスとして、二酸化窒素、オゾン、酸素、酸素イオン、酸素ラジカルを用いることができ、特に酸化力の強い二酸化窒素が好ましい。

これらの原料ガスをCVD装置のチャンバーに供給するには、キャリアーガスを使用しないで、マスフローコントローラによってガス流量を制御して供給することができる (固体昇華法)。あるいは、有機金属材料を酢酸ブチル、テトラヒドロフラン等の溶媒に溶解して液状で輸送し、成膜室近傍に設けた気化室で気化し、窒素等のキャリアガスと共に供給してもよい (液体輸送法)。尚、本発明で原料ガス圧力を問題にするときは、反応に関与しないキャリアガスおよび溶媒等の分圧を差し引いたガス圧力をいう。

また、圧力変化させる方法として、最も効果的な方法は排気孔の断面積を変化させて排気量を制御する方法である。排気量を変化させる方法では全体のガスの比率を変えることなく、基板表面に与える原料ガス濃度を高めることができる。

ところで、成膜時の原料ガスの全圧をおよそ1 Torr以下とした減圧熱CVD法においては、一定の原料ガス流量範囲内では ABO_3 型結晶中のA元素とB元

素の組成比が化学量論組成に整合するような、組成の自己整合条件が存在することが知られており、このような条件下では成膜の再現性や均一性が向上するとともに、得られた膜の電気的特性も優れたものとなる。従って、本発明の第2の工程も、この自己整合条件下で行われることが好ましいが、このような組成の自己整合が得られるのは、基板温度がおよそ400℃以上である。また、このときの圧力は、1 Torr (133 Pa) 以下、特に200 mTorr (26.7 Pa) 以下である。

本発明では第一の成膜条件と第二の成膜条件は、少なくとも基板温度または原料ガス圧力が異なっているが、それ以外の成膜条件も変更し、それぞれ最適な条件を選んで成膜することが好ましい。このような条件下で成膜することにより、配向性、結晶性、反転疲労、表面平坦性、リーク特性ともに優れた薄膜を形成することが可能となる。

基板温度および原料ガス圧力以外の成膜条件を変更する場合、有機金属材料ガスの供給条件を変更する成膜方法が挙げられる。

例えば、(i) 第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスのすべてを用いて、前記下地導電性材料上にペロブスカイト型結晶構造の結晶の初期核の形成を行い、第二の成膜条件で、この結晶の初期核の上にさらにペロブスカイト型結晶構造の膜成長を行う方法、および(ii) 第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスの一部のみを用いて、前記下地導電性材料上にペロブスカイト型結晶の初期核の形成を行い、第二の成膜条件で、この結晶の初期核上にさらにペロブスカイト型結晶構造の膜成長を行う方法を挙げることができる。

PZTの成膜を例にとると、(i)の方法では、例えばPb、ZrおよびTiの原料ガスを第一の成膜工程および第二の成膜工程の両方で用いて、流量を変更して成膜を行う。(ii)の方法では、例えば第一の成膜工程でPbおよびTiの原料ガスを用い、第二の成膜工程でPb、ZrおよびTiの原料ガスを用いて成膜を行う。(ii)の方法では、この例のように、 ABO_3 のペロブスカイト型結晶のA元素の原料とB元素の原料の両方を含むことが好ましい。

また、第二の成膜条件を自己制御性の良い原料ガス供給条件で成膜し、第一の

成膜条件で、A元素の原料を第二の成膜条件のときよりも多量に原料供給することも好ましい。

さらにB元素としてZrとTiの両方を含む場合に、第二の成膜条件と比較して第一の成膜条件において、Zr原料の供給量をTi原料の供給量に比べて減らした条件で成膜することも好ましい。

さらに前記B元素としてZrとその他の元素を含む場合に、第一の成膜条件でZrの原料ガスを供給しない条件で成膜することも好ましい。

以上説明した低温核付けおよび高圧核付け法によれば、グレインサイズが小さくなるので、容量素子に用いたときに、リーク電流が減少し、容量素子ごとのビット線電圧差のばらつきが低減し、不良ビットの出現が低下するの歩留まりが向上し、膜の白濁もなく位置あわせも容易に行うことができる。

従来、Ir、Ru、IrO₂またはRuO₂下地材料の表面上にPZTを成膜したとき、グレインサイズが300nm以上の膜しか得られなかったが、本態様の製造方法によれば、グレインサイズが50nm～200nmのPZT膜を成膜することができる。即ち、Ir、Ru、IrO₂およびRuO₂からなる群より選ばれる下地導電性材料の表面上に成膜され、グレインサイズが50nm～200nmの範囲であるPZT膜は、従来存在しなかった新規な膜である。

＜初期アモルファス層を形成する態様＞

次に、第1の工程で初期アモルファス層を形成する場合を説明する。

後述する実施例で示されるように、第1の工程で初期アモルファス層を形成した上に第2の工程で本成膜を行うと、グレインサイズに関しては、従来のように第1の工程および第2の工程で同一温度、同一圧力の条件を用いた場合と同じ程度であるが、配向性が(110)に変化するため、結晶粒表面にできるファセット面が基板に対して平行になるため、平坦な表面が得られる。その結果、容量素子に用いた場合にリーク電流が減少し、膜の白濁がなく位置あわせを容易に行うことができる。

第1の工程で成膜する初期アモルファス層は、第2の工程で本成膜を行ったときに、一緒に結晶化が進んで最終的にはアモルファスの層として認識できない程度のものである。厚すぎると、良好な結晶核が得られないので、初期アモルファ

ス層の厚さは、厚さ 1 ~ 5 nm 程度、特に 1 ~ 3 nm 程度が好ましい。

また、第 1 の工程の時間は、ごく短時間であっても、原料ガスを酸化ガスと共に供給すれば、それだけ成膜される金属酸化物誘電体膜の表面の凹凸が減少する。但し、第 1 の工程が長すぎると良好な結晶核が得られず、第 2 の工程で成膜する多結晶の結晶性が悪化するので、それまでの時間および条件が限度になる。多結晶層の結晶性が悪化するまでの時間は条件によって異なるが、X 線回折により実験的に容易に調べることができる。一般的には、60 秒以下であり、好ましくは 3 秒 ~ 20 秒である。

本態様では、第一の成膜条件が、(a) 第二の成膜条件よりも基板温度が低い条件、および (b) 第二の成膜条件よりも原料ガス圧力が高い条件の少なくともどちらかを満たしつつ、第 1 の工程で初期アモルファス層が形成されるようにする。特に第一の成膜条件が (a) 第二の成膜条件よりも基板温度が低い条件を満たすようにすることが好ましい。図 4 に示すように、低温側で成膜を行えばアモルファス化が可能で、P Z T 成膜の場合は第一の条件で Z r をある程度含む組成になるように原料を供給すればあまり低温にしなくてもよい。従って、初期アモルファス層を形成する場合は、第 1 の工程と第 2 の工程で原料ガスの流量を同一にすることも好ましい。

(a) の低温で初期アモルファス層を形成する場合、基板温度は、原料ガスが分解できる温度以上で、かつアモルファス層ができる範囲が選ばれる。例えば、300℃ ~ 350℃ が好ましく、特に 320℃ ~ 340℃ が好ましい。第 1 の工程での圧力条件、第 2 の工程のすべての条件、その他の成膜条件、材料等の全ての条件は、前述の〈初期核を形成する態様〉で述べた条件と同じである。また、

(b) の高圧で初期アモルファス層を形成する場合も、前述の〈初期核を形成する態様〉で述べた条件と全て同じである。

実施例

次に実施例により具体的に本発明を説明する。

〈低温核付け法の実施例〉

基板は 6 インチのシリコンウエハーを用いて、スパッタによって Ru (100 nm) / SiO₂ 構造の下地金属層を形成した。Ru の成膜方法は MOCVD によ

っても良い。原料ガスはPb原料にPb(DPM)₂、Zr原料にZr(OtBu)₄、Ti原料にTi(OiPr)₄、酸化剤にはNO₂を用いた。キャリアガスは使用しないで、ガス流量はすべてマスフローコントローラによって制御した。成長中の圧力は 5×10^{-3} Torr (6.6 Pa)とした。PZT成膜は、低温の第1の条件ではじめに3~5 nmのアイランド状PTO核(結晶の初期核)を形成し、次いで高温の第2の条件にてPZTを成膜した。第1の工程では、Ru下地金属膜上に、Pb(DPM)₂0.2 SCCM、Ti(OiPr)₄0.25 SCCMおよびNO₂3.0 SCCMを供給して核付けを行い、第2の工程ではPb(DPM)₂流量0.25 SCCM、Zr(OtBu)₄流量0.225 SCCM、Ti(OiPr)₄流量0.2 SCCM、NO₂流量3.0 SCCM、N₂流量150 SCCMの条件で供給して成膜を行った。また、上部電極もRuとし、上部電極加工後、400℃10分の酸素中回復アニールを行った。

まず、Ru下地金属膜上に、Pb(DPM)₂とTi(OiPr)₄とNO₂を同時に供給し、その基板温度を変化させ、原子間力顕微鏡(AFM)によってRu表面のペルブスカイト型チタン酸鉛結晶核を調べた結果を図5~図7に示す。図5は、基板温度450℃で核形成を行ったものを示し、図6は、基板温度410℃、図7は基板温度360℃で核形成を行ったものである。チタン酸鉛結晶核は微小な核が連なった棒状のグループとして形成されるがその密度は、図5では、1平方μm当たり平均2グループであるのに対し、図6の例では5グループ、図7の例では12グループというように実際に核形成時の基板温度を下げることによって結晶核密度が増加していることがわかる。

図8には、PZTの成膜過程を順追って原子間力顕微鏡により観察した様子を示す。即ち、図8(a)はRu表面を450℃に加熱したときの表面状態であり、図8(b)に示すようにPTOの結晶の初期核の形成を30秒間行ったときに棒状核が観察される。続いてPZTの成膜を30秒間行い(図8(c))、引き続きPZTの成膜を60秒後まで行っても(図8(d))、多結晶グレインの密度はほとんど変化せず、結晶の初期核の密度を保った状態でPZT多結晶が形成されていく様子が示されている。

図9、図10は、PZT膜を厚さ250 nmまで成膜させたときの表面を走査

型電子顕微鏡（SEM）で観察した様子を示す図である。PZTの成膜温度は455℃一定とした。図9はPTO核付け温度が、455℃すなわちPZT成膜温度と同じ温度の場合、図10は380℃すなわちPZT成膜温度より低い場合である。PTO結晶の初期核形成温度が低くなると、その上に成膜されるPZTの表面の凹凸が小さくなっていることが明らかに観察される。

図11～図13は、PZT膜を厚さ250nmまで成膜させたときの断面透過型電子顕微鏡（TEM）で観察した様子を示す図である。PZTの成膜温度は455℃一定とした。図11～図13は、PTO核付け温度がそれぞれ、455℃すなわちPZT成膜温度と同じ温度の場合、380℃、350℃の場合である。PTO結晶の初期核形成温度が低くなると、PZTのグレインサイズが減少しその結果としてPZTの表面の凹凸が小さくなっていることが明らかに観察される。

さらに、図14には250nmのPZT膜を基板温度455℃で成膜する際にあらかじめ基板温度380℃でPTOの結晶の初期核形成を行った場合のIV特性を示しているが、リーク電流は、10V印加時 $10^{-4}\text{A}/\text{cm}^2$ 以下で良好であった。これに対して、図15にはPZT成膜温度と同一の455℃でPTOの結晶の初期核形成を行った場合のIV特性を示しているが、5V～8Vで急激に電流の増加が生じている。この結果より低温で結晶の初期核形成を行うことにより明らかな電流リークの改善が確認された。

図16には250nmのPZT膜を基板温度455℃で成膜する際に基板温度を変化させてPTOの結晶の初期核形成を行った場合のヒステリシス特性を示している（各グラフにおける複数のループは、小さい方から順にプラスマイナス2、3、4、5Vの電圧を印加した場合のヒステリシスループである）が、結晶の初期核形成温度を380℃まで下げても得られた容量は、分極の値（ $2Pr$ 値）も十分で、良好なヒステリシス特性を示している。このとき、グレインサイズは200nmから低温核付けを用いることによって80nmまで減少している。尚、グレインサイズは、原子間力顕微鏡により観察した5 μm 角の写真中の多結晶粒径を平均して求めた値である。

また、図17は同一試料の3Vにおける疲労特性を示したものである。測定も

3 Vで行っている。反転電荷量は 1×10^8 回までほとんど変化せず、良好な疲労特性を示している。

図18には250 nmのPZT膜を成膜する際にPTOの結晶の初期核形成温度を380℃一定とし、PZT成膜温度を455℃から410℃に減少させた場合のヒステリシス特性を示しているが、PZTの成膜温度はヒステリシス特性に大きな影響を及ぼし、成膜温度が410℃以下になると急激にヒステリシス特性が劣化することが確認される。すなわち、PZTの成膜温度も結晶の初期核形成温度である380℃まで下げると所望のヒステリシス特性が得られないということが明らかである。従って、本発明の特徴であるPZT成膜温度と結晶の初期核形成温度を異なる温度で行う効果が示された。

＜高圧核付けの実施例＞

PZTの成膜条件を変更した以外は、上記の＜低温核付け法の実施例＞に準じて実験を行った。第1の工程では、Ru下地金属膜上に、Pb(DPM)₂0.2 SCCM、Ti(OiPr)₄0.25 SCCMおよびNO₂3.0 SCCMを供給して核付けを行い、第2の工程ではPb(DPM)₂流量0.25 SCCM、Zr(OtBu)₄流量0.225 SCCM、Ti(OiPr)₄流量0.2 SCCM、NO₂流量3.0 SCCM、N₂流量150 SCCMの条件で供給して成膜を行った。この実験では、第一および第二の成膜条件の基板温度は430℃で一定として、圧力の変化は、排気量を変化させることで制御した。

図19(a)、(b)は、第1の工程の核付けをそれぞれ0.1 Torr (13.3 Pa)、1 Torr (133 Pa)の圧力で30秒間行い、第2の工程の圧力を共に0.1 Torr (13.3 Pa)としてPZT膜を250 nm厚に成長させた後の表面の原子間力顕微鏡(AFM)による画像である。0.1 Torrで核付けを行った図19(a)の膜のグレインサイズが300 nmであるのに対して、1 Torrで高圧核付けを行った図19(b)の膜では80 nmであった。また、図20に1 Torrで高圧核付けを行ったときの分極のヒステリシス特性を示すが、十分な特性を示している。

次に、図21に第一の成膜条件の圧力を変化させたときの圧力とグレインサイズの関係を示す。尚、このときの第二の成膜条件の圧力は0.1 Torrである

また、図 2 2 (a) (b) の I V 特性から明らかに、高圧核付けを行ったグレインサイズの小さい方が明らかに電流リークが改善されている。

次に、図 2 3 にグレインサイズとビット線ばらつきおよび自発分極の関係を示す。この図から明らかにグレインサイズが 300 nm 未満、特に 200 nm 以下になるとビット線ばらつきが改善されていることがわかる。これは図 2 4 に示すようにグレインサイズが小さくなることでビット線電圧差の分布が狭くなり、ビット線電圧差の小さな不良ビット出現が少なくなったためと考えられる。一方、自発分極に関しては、図 2 3 に示すようにグレインサイズが小さくなりすぎると小さくなるので、グレインサイズは、50 nm ~ 200 nm が好ましいことがわかる。

<初期アモルファス層を形成する態様の実施例>

P Z T の成膜条件を変更した以外は、上記の<低温核付け法の実施例>に準じて実験を行った。第 1 の工程は、Ru 下地金属膜上に、Pb (DPM)₄ 流量 0.25 SCCM、Zr (OtBu)₄ 流量 0.225 SCCM、Ti (OiPr)₄ 流量 0.2 SCCM、NO₂ 流量 3.0 SCCM、N₂ 流量 150 SCCM の条件で供給し、第 2 の工程においても同じ流量で供給した。この実験では、第 1 工程および第 2 工程とも圧力は 0.1 Torr (13.3 Pa) とし、第 1 の工程では基板温度 330℃としてアモルファス層が形成される条件にて 30 秒間成膜し、第 2 の工程で基板温度 430℃として 250 nm 厚に P Z T 膜を成膜した。

成膜した表面の原子間力顕微鏡 (AFM) 像を図 2 5 (a) に示す。また、比較のために第 1 の工程で 430℃で P T O 核付けを行い、第 2 工程で 430℃で P Z T 成膜を行った膜 (本実施例中で、以下比較例という。) の AFM 像を図 2 5 (b) に示す。初期アモルファス層を形成した方は明らかに表面の平坦性が改善されている。

また、図 2 6 に初期アモルファス層形成後 [(a)]、P Z T 膜成膜終了後 [(b)] の X 線回折スペクトルを示す。図 2 6 (a) に示すように、第 1 の工程では P Z T の結晶ピークは観察されず、アモルファス層と思われるブロードなピークが観察される。一方、成膜終了後は、図 2 6 (b) のスペクトル (i) に示すよう

に、(1 1 0)、(1 0 1) ピークが観察され、スペクトル (i i) に示す比較例とは結晶の配向が明らかに異なっていることが解かる。つまり、配向性が変化して基板に平行なファセットが増加したことにより表面の平坦性が向上したと考えられる。

また、自発分極のヒステリシス特性も従来と同等であり、最大印加電圧 5 V で測定した $2P_r$ の値は、 $37.21 \mu C/cm^2$ であった。

また、電流リークに関して、図 27 (a) の I V 特性から、初期アモルファス層を形成すると、図 27 (b) の比較例の I V 特性と比較すると明らかに電流リークが改善されている。

< デバイスの製造例 1-1 >

次に、本発明の気相成長方法を用いて、メモリーセルを製造したデバイス製造例 1 を図 28 を用いて説明する。まず、ウエット酸化によりシリコン基板に酸化膜を形成した。その後、ボロン、リン等の不純物をイオン注入し、n 型及び p 型のウェルを形成した。この後、ゲート及び拡散層を以下のように形成した。まず、ゲート酸化膜 1601 をウエット酸化によって形成した後、ゲートとなるポリシリコン 1602 を成膜し、エッチングした。このポリシリコン膜上にシリコン酸化膜を成膜した後、エッチングし、側壁酸化膜 1603 を形成した。次に、ボロン、砒素等の不純物をイオン注入し、n 型及び p 型の拡散層 1604 を形成した。さらに、この上に Ti 膜を成膜した後、シリコンと反応させ、未反応の Ti をエッチングにより除去することにより、Ti シリサイド 1605 をゲートポリシリコン 1602 及び拡散層 1604 上に形成した。以上の過程により、図 28 (A) に示すように、分離用酸化膜 1606 によって分離された n 型及び p 型の MOS 型トランジスタをシリコン基板上に形成した。

次にコンタクト及び下部電極を図 28 (B) に示すように形成した。まず、第一層間絶縁膜 1607 としてシリコン酸化膜又はボロン等の不純物を含んだシリコン酸化膜 (BPSG) を成膜した後、CMP 法により平坦化した。次に、コンタクトをエッチングにより開口した後、n 型及び p 型それぞれの拡散層に対して不純物を注入し、750℃で10秒の熱処理を行った。この後、バリアメタルとして Ti 及び TiN を成膜した。この上にタングステンを CVD 法により成膜し

た後、CMPによりタングステンのプラグ1608を形成した。タングステンのプラグは、タングステンのCVD後、エッチバックによって形成しても良い。この上に、容量下部電極層として、Ti膜1609及びTiN膜1610及びTiを連続してスパッタし、その上に100nmのRu膜1611を形成した。

次に、強誘電体容量を図28(C)に示すように形成した。本発明の方法を使用してPZTを100nm形成した。原料には、ビスジピバロイルメタナート鉛($\text{Pb}(\text{DPM})_2$)、チタンイソプロポキシド($\text{Ti}(\text{OiPr})_4$)、ジルコニウムブトキシド($\text{Zr}(\text{OtBu})_4$)を用い、酸化剤として NO_2 を用いた。成膜条件は、基板温度を380℃とし、まずPTO結晶の初期核を形成するために $\text{Pb}(\text{DPM})_2$ 流量0.2SCCM、 $\text{Ti}(\text{OiPr})_4$ 流量0.25SCCM、 NO_2 流量3.0SCCMの条件で30秒間成膜した。その後、基板温度を430℃に昇温し、さらに原料ガス供給条件を変更し、 $\text{Pb}(\text{DPM})_2$ 流量0.25SCCM、 $\text{Zr}(\text{OtBu})_4$ 流量0.225SCCM、 $\text{Ti}(\text{OiPr})_4$ 流量0.2SCCM、 NO_2 流量3.0SCCM、 N_2 流量150SCCMの条件で1200秒間成膜し、PZT1612の金属酸化物誘電体膜を得た。

この時の成長中の真空容器内のガスの全圧は、 8×10^{-2} Torrとした。この時の成長膜厚は250nmであった。Ru1613をスパッタリング法により成膜し、容量上部電極層を形成した後、ドライエッチングによって、容量上部電極層、金属酸化物誘電体膜、容量下部電極層をパターニングにより分離し、PZT容量とした。

この上に容量上部電極を図28(D)に示すように形成した。第二層間絶縁膜1614としてシリコン酸化膜をプラズマCVD法により形成した後、容量上部コンタクト及びプレート線コンタクトをエッチングにより開口した。WSi、TiN、AlCu、TiNをこの順にスパッタして成膜した後、エッチングにより加工してプラグ1615、第2のメタル配線1616を形成した。この上に、パッシベーション膜1617としてシリコン酸化膜及びSiON膜を形成した後、図示しない配線パッド部を開口し、電気特性の評価を行った。

<デバイス製造例1-2>

図28では、容量下部電極、PZT膜、Ru容量上部電極を形成してから、ド

ライエッチング法によって容量を分離する方法について示したが、デバイス製造例 1-2 では変形例として、図 29 に示すように、先に、容量下部電極すなわち Ru/Ti/TiN/Ti をドライエッチングによって分離した後、PZT の成膜を行い、Ru 上部電極を形成して、上部電極を分離しても良い。デバイス製造例 1-2 について、図 29 を用いて簡単に説明する。なお、図 29 ~ 32 において、図 28 と共通の部材については同一の符号を付している。

まず、シリコン基板上に、製造例 1-1 と同様の方法によりトランジスタを形成し（図 29 (A)）、さらに第 1 の層間絶縁膜 1607 とそこに埋め込まれたプラグ 1608 を形成する。引き続き、容量下部電極層として、Ti 膜 1709 及び TiN 膜 1710 及び Ti を連続してスパッタし、その上に 100 nm の Ru 膜 1711 を形成した。次に、Ru/Ti/TiN/Ti からなる積層構造をドライエッチングで加工してセル間の分離を行い、容量下部電極を形成する（図 29 (B)）。

次に、基板上の全面に PZT 膜 1712 を成膜する（図 29 (C)）。さらに、Ru 膜を形成したのち、ドライエッチングによりこの Ru 膜を加工、分離して、容量上部電極 1713 とする。その後、第 2 の層間絶縁膜 1714、プラグ 1715、第 2 のアルミ配線 1716、カバー膜 1717 を、図 16 の実施例と同様に形成して半導体装置を完成する図 29 (D)）。

この方法を用いると、ドライエッチングを行う膜が薄く、より微細なパターンが形成できる。また、PZT の側面がドライエッチング中にプラズマにさらされないので、PZT 膜中へ欠陥が導入されることもない。

<デバイス製造例 1-3>

デバイス製造例 1-3 は、図 30 に示すように、下部電極の側面も容量電極として用いる例である。

この構造を形成するには、製造例 1-2 で、容量下部電極の高さを例えば 500 nm 程度に高く形成する。通常は、Ru 膜 1711 を厚く成膜した後、ドライエッチングでセル間の分離を行う。次に、基板全面に PZT 膜 1712 を成膜する。本発明では、熱 CVD であるので段差被覆性よく PZT 膜が形成される。さらに Ru 膜を成膜したのち、ドライエッチングにより Ru 膜を、図 30 に示すよ

うに、下部電極の側面に形成されたP Z T膜を覆う形状に分離して、容量上部電極1713を形成する。その後は、製造例1-2と同様にして半導体装置を製造する。

以下に、デバイス製造例1-1、1-2および1-3で作成した容量の電気特性を示す。

1 μm 角のP Z T容量を5000個並列接続し、その特性を測定したところ、反転と非反転電荷の差として30 $\mu\text{C}/\text{cm}^2$ 以上の値が得られ、良好な誘電特性を示した。また、疲労特性及び保持特性等も良好であった。また、リーク電流は、10 V印加時10⁻⁴ A/ cm^2 以下で良好であった。また、ゲート長0.26 μm のトランジスタにおける特性を評価したところ、p型、n型ともにしきい値 V_t のばらつきはウエハー全面で10%以下であり、良好であった。さらに、0.4 μm 角の容量下部コンタクトの抵抗を、コンタクト・チェーンにより測定したところ、コンタクト1個当たりの抵抗は10 Ωcm 以下であり良好であった。さらに、成膜されたP Z T膜は平坦性が高いために乱反射が起こらず、マスク合わせを容易に高い精度で行うことができた。

また、容量素子のビット線電圧差にばらつきが小さく、不良ビットの出現もなかった。

<デバイスの製造例2>

次に、本願発明の実施形態に係るメモリーセルを製造する第2の方法を図31、図32に示す。タングステンのプラグの作製までは、メモリーセルの第1の実施形態と同等に作製し、この上に、Ti、TiNを成膜した。スパッタ法によりAlCuを成膜し、ドライエッチング法により第一のアルミ配線1809を形成した。以上の過程により、図31(A)に示すようにn型及びp型のMOS型トランジスタ上に第一のアルミ配線を形成した。

次にビア及び第二のアルミ配線を図31(B)に示すように形成した。まず、第二層間絶縁膜1810としてシリコン酸化膜又はボロン等の不純物を含んだシリコン酸化膜(BPSG)を成膜した後、CMP法により平坦化した。次に、ビアホールをエッチングにより開口した後、バリアメタルとしてTi及びTiNを成膜した。この上にタングステンをCVD法により成膜した後、CMPによりタ

ングステンのプラグ1811を形成した。タングステンのプラグは、タングステンのCVD後、エッチバックによって形成しても良い。この上に、Ti及びTiNをスパッタ法により形成し、ドライエッチング法により第二のアルミ配線1812を形成し第三層間絶縁膜1813としてシリコン酸化膜またはボロン等の不純物を含んだシリコン酸化膜(BPSG)を成膜した後、CMP法により平坦化した。次にビアホールをエッチングにより開口した後、バリアメタルとしてTi及びTiNを成膜した。この上にタングステンをCVD法により成膜した後、CMP法によりタングステンのプラグ1814を形成した。タングステンのプラグは、タングステンのCVD後、エッチバックによって形成しても良い。このアルミ配線、層間膜、ビア形成を繰り返すことによって、所望の数の配線層を形成することができる。最後のタングステンプラグ上に、容量下部電極層として、Ti膜1815及びTiN膜及びTi1816を連続してスパッタし、その上に100nmのRu膜1817を形成した。

次に、強誘電体容量を図32(C)に示すように形成した。本発明の方法を使用してPZTを100nm形成した。原料には、ビスジピバロイルメタナート鉛($\text{Pb}(\text{DPM})_2$)、チタンイソプロポキシド($\text{Ti}(\text{OiPr})_4$)、ジルコニウムブトキシド($\text{Zr}(\text{OtBu})_4$)を用い、酸化剤として NO_2 を用いた。成膜条件は、基板温度を380℃とし、まずPTO結晶の初期核を形成するために $\text{Pb}(\text{DPM})_2$ 流量0.2SCCM、 $\text{Ti}(\text{OiPr})_4$ 流量0.25SCCM、 NO_2 流量3.0SCCMの条件で30秒間成膜した。その後、基板温度を430℃に昇温し、さらに原料ガス供給条件を変更し、 $\text{Pb}(\text{DPM})_2$ 流量0.25SCCM、 $\text{Zr}(\text{OtBu})_4$ 流量0.225SCCM、 $\text{Ti}(\text{OiPr})_4$ 流量0.2SCCM、 NO_2 流量3.0SCCM、 N_2 流量150SCCMの条件で1200秒間成膜し、PZT1818の金属酸化物誘電体膜を得た。

この時の成長中の真空容器内のガスの全圧は、 $8 \times 10^{-2} \text{Torr}$ とした。この時の成長膜厚は250nmであった。Ru1819をスパッタリング法により成膜し、容量上部電極層を形成した後、ドライエッチングによって、容量上部電極層、金属酸化物誘電体膜、容量下部電極層をパターンニングにより分離し、PZT容量とした。

次に、図32(D)に示すように、第四層間絶縁膜1820としてシリコン酸化膜をプラズマCVD法により形成した後、容量上部コンタクト及びプレート線コンタクトをエッチングにより開口した。次にWSi、TiN、AlCu、TiNをこの順にスパッタして成膜した後、エッチングにより加工し、プラグ1821、第3メタル配線1822を形成した。この上に、パッシベーション膜1823としてシリコン酸化膜及びSiON膜を形成した後、配線パッド部を開口し、電気特性の評価を行った。

下部にアルミ配線がある場合にも、図29に示した場合と同様に、先に容量下部電極すなわちRu/Ti/TiN/Tiをドライエッチングにより分離した後、PZTの成膜を行い、Ru容量上部電極を形成して、容量上部電極を分離しても良い。この方法を用いると、ドライエッチングを行う膜が薄く、より微細なパターンが形成できる。また、PZTの側面がドライエッチング中にプラズマにさらされないので、PZT膜中に欠陥が導入されることもない。

このデバイス製造例2で製造したメモリーセルを、デバイス製造例1で製造したメモリーセル同様に電気特性の評価を行った。

その結果、反転と非反転電荷の差として $40\mu\text{C}/\text{cm}^2$ 以上の値が得られ、良好な誘電特性を示し、疲労特性及び保持特性等も良好であった。また、リーク電流は、 10V 印加時 $10^{-4}\text{A}/\text{cm}^2$ 以下で良好であった。また、ゲート長 $0.26\mu\text{m}$ のトランジスタにおける特性を評価は、p型、n型ともにしきい値 V_t のばらつきはウエハー全面で10%以下であり、良好であった。さらに、 $0.4\mu\text{m}$ 角の容量下部コンタクトの抵抗を、コンタクト・チェーンにより測定した結果、コンタクト1個当たりの抵抗は $10\Omega\cdot\text{cm}$ 以下であり良好であった。さらに、成膜されたPZT膜は平坦性が高いために乱反射が起こらず、マスク合わせを容易に高い精度で行うことができた。

以上、いずれのデバイス製造例でも、タングステンを用いたコンタクトについて述べたが、同様にポリシリコンを用いたコンタクトにおいても、強誘電体容量特性、トランジスタ特性、コンタクト抵抗ともに良好であった。

また、いずれのデバイス製造例でも、低温核付け法を用いたが、高圧核付け法を用いても、または低温核付け法と高圧核付け法を併用しても同様に良好な結果

が得られる。さらに、初期アモルファス層形成法を用いて半導体装置を製造することもでき、その場合は、リーク電流特性が改善され、マスク合わせを高い精度で行うことができる。

産業上の利用可能性

本発明の低温核付けおよび／または高圧核付け法によるPZT膜（Pb（Zr，Ti）O₃膜）等の金属酸化物誘電体膜の気相成長方法によれば、リーク電流が少なく、膜の透明性がよく、マスクの位置合わせを問題なく行うことのできる誘電体膜を製造できる。また、容量素子に適用したときに、ビット線電圧差のばらつきが小さく、歩留まりよく集積度の高い半導体装置を製造することができる。

また、本発明の初期アモルファス層形成法による金属酸化物誘電体膜の気相成長方法によれば、リーク電流が少なく、膜の透明性がよく、マスクの位置合わせを問題なく行うことのできる誘電体膜を製造できる。

さらに、本発明のPZT膜は、Ru等の下地導電性材料の表面に形成された場合であっても、従来にない小さなグレインサイズ（50nm～200nm）を有するので、リーク電流、マスクの位置合わせ、ビット線電圧差のばらつきの点で、優れた特性を示す。

請求の範囲

1. 下地導電性材料上への有機金属材料ガスを用いた ABO_3 で表されるペロブスカイト型結晶構造を有する金属酸化物誘電体膜の気相成長方法において、

第一の成膜条件で、前記下地導電性材料上にペロブスカイト型結晶の初期核の形成、またはアモルファス構造の初期アモルファス層の形成を行う第1の工程と

前記第一の成膜条件とは異なる第二の成膜条件で、第1の工程で形成した結晶の初期核または初期アモルファス層上にさらにペロブスカイト型結晶構造の膜成長を行う第2の工程とを有し、

その際、前記第一の成膜条件が、

(a) 第二の成膜条件よりも基板温度が低い条件、および

(b) 第二の成膜条件よりも原料ガス圧力が高い条件

の少なくともどちらかを満たすことを特徴とする金属酸化物誘電体膜の気相成長方法。

2. 前記第1の条件と前記第2の条件で、圧力が同一で、第一の成膜条件における基板温度の方が低いことを特徴とする請求項1記載の金属酸化物誘電体膜の気相成長方法。

3. 前記第1の条件と前記第2の条件で、基板温度が同一で、第一の成膜条件における圧力の方が高いことを特徴とする請求項1記載の金属酸化物誘電体膜の気相成長方法。

4. 前記第1の条件と前記第2の条件で、前記第一の成膜条件が、(a) 第二の成膜条件よりも基板温度が低い条件、および(b) 第二の成膜条件よりも圧力が高い条件の両方を満たすことを特徴とする金属酸化物誘電体膜の気相成長方法。

5. 第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスの

すべてを用いて、初期核形成または初期アモルファス層の形成を行い、第二の成膜条件で、有機金属材料ガスのすべてを用い且つ供給条件を変更してペロプスカイト型結晶構造の膜成長を行うことを特徴とする請求項1～4のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

6. 第一の成膜条件で、金属酸化物誘電体の原料となる有機金属材料ガスの一部のみを用いて、初期核形成または初期アモルファス層の形成を行い、第二の成膜条件で、有機金属材料ガスのすべてを用いてペロプスカイト型結晶構造の膜成長を行うことを特徴とする請求項1～4のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

7. A元素およびB元素の少なくとも一方が、複数の元素を含む場合に、第一の成膜条件で用いられる有機金属材料ガスが、A元素の原料とB元素の原料の両方を含むことを特徴とする請求項6記載の金属酸化物誘電体膜の気相成長方法。

8. 前記第二の成膜条件を自己制御性の良い原料ガス供給条件で成膜し、前記第一の成膜条件で、前記A元素の原料を第二の成膜条件のときよりも多量に原料供給することを特徴とする請求項1～7のいずれかに記載の金属酸化物誘電体膜の気相成長法。

9. 前記B元素としてZrとTiの両方を含む場合に、前記第二の成膜条件と比較して前記第一の成膜条件において、Zr原料の供給量をTi原料の供給量に比べて減らした条件で成膜することを特徴とする請求項1～8のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

10. 前記B元素としてZrとその他の元素を含む場合に、第一の成膜条件でZrの原料ガスを供給しない条件で成膜することを特徴とする請求項6記載の金属酸化物誘電体膜の気相成長方法

1 1. 第一の成膜条件の温度および原料ガス圧力の少なくとも一方を制御することにより、グレインサイズを制御しながら成膜することを特徴とする請求項 1～7 のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

1 2. 前記第二の成膜条件における原料ガスの全圧を 2 0 0 m T o r r 以下の圧力に保ち成膜することを特徴とする請求項 1～1 1 のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

1 3. 前記第二の成膜条件における基板温度が 4 7 0 ℃以下であることを特徴とする請求項 1 2 記載の金属酸化物誘電体膜の気相成長方法。

1 4. 前記金属酸化物誘電体膜が、P Z T 膜または B S T 膜である請求項 1～7 のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

1 5. 前記下地導電性材料が、少なくとも表面に I r、R u、I r O₂ および R u O₂ のいずれかの金属または金属酸化物膜を有する容量電極であることを特徴とする請求項 1～1 4 のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

。

1 6. 前記下地導電性材料が、R u / T i / T i N / T i の 4 層構造であることを特徴とする請求項 1～1 4 のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

1 7. 前記下地導電性材料が、R u / T i / T i N / T i / W の 5 層構造であることを特徴とする請求項 1～1 4 のいずれかに記載の金属酸化物誘電体膜の気相成長方法。

1 8. 半導体基板上に M O S 型トランジスタを形成する工程と、このトラン

ジスタ上に第一層間絶縁膜を形成する工程と、この第一層間絶縁膜に前記MOS型トランジスタの拡散層に達するコンタクトを開口して金属プラグを埋めて電気的な導通をとる工程と、この金属プラグを有する第一層間絶縁膜全面に、容量下部電極層を形成する工程と、この容量下部電極層全面に請求項1～17のいずれかの方法を用いて金属酸化物誘電体膜を成膜する工程と、この金属酸化物誘電体膜全面に、容量上部電極層を形成する工程と、前記下部電極層、前記金属酸化物誘電体膜及び前記容量上部電極層を、パターニングし、三層の積層構造の容量を得る工程とを有する半導体装置の製造方法。

19. 半導体基板上にMOS型トランジスタを形成する工程と、このトランジスタ上に第一層間絶縁膜を形成する工程と、この第一層間絶縁膜に前記MOS型トランジスタの拡散層に達するコンタクトを開口して金属プラグを埋めて電気的な導通をとる工程と、この金属プラグを有する第一層間絶縁膜全面に、容量下部電極層を形成する工程と、前記容量下部電極層をパターニングし、金属プラグ上に容量下部電極を形成する工程と、このパターニングした容量下部電極と第一層間絶縁膜上全面に、請求項1～17のいずれかの方法を用いて金属酸化物誘電体膜を成膜する工程と、この金属酸化物誘電体膜全面に、容量上部電極層を形成する工程と、この容量上部電極層をパターニングし、容量下部電極、金属酸化物誘電体膜及び容量上部電極の三層の積層構造の容量を得る工程とを有する半導体装置の製造方法。

20. 半導体基板上にMOS型トランジスタを形成する工程と、このトランジスタ上に第一層間絶縁膜を形成する工程と、この第一層間絶縁膜に前記MOS型トランジスタの拡散層に達するコンタクトを開口して金属プラグを埋めて電気的な導通をとる工程と、この第一層間絶縁膜上に金属プラグと電気的に導通するアルミ配線を形成する工程と、このアルミ配線上に第二層間絶縁膜を形成する工程と、この第二層間絶縁膜に前記アルミ配線に達するコンタクトを開口して金属プラグを埋めて電気的な導通をとる工程と、この金属プラグを含む第二層間絶縁膜全面に、容量下部電極層を形成する工程と、この容量下部電極層全面に請求項

1～17のいずれかの方法を用いて金属酸化物誘電体膜を成膜する工程と、この金属酸化物誘電体膜全面に、容量上部電極層を形成する工程と、前記容量下部電極層、前記金属酸化物誘電体膜及び前記容量上部電極層をパターンニングし、三層の積層構造の容量を得る工程とを有する半導体装置の製造方法。

21. 容量下部電極層を形成する前に最後の形成した金属プラグと電氣的に導通するアルミ配線を形成する工程と、このアルミ配線上に層間絶縁膜を形成する工程と、この層間絶縁膜に前記アルミ配線に達するコンタクトを開口して金属プラグを埋めて電氣的な導通をとる工程とを少なくとも1回繰り返し、前記容量の下層に形成するアルミ配線を多層化したことを特徴とする請求項20記載の半導体装置の製造方法。

22. 表面がIr、Ru、IrO₂およびRuO₂からなる群より選ばれる材料である下地導電性材料の上に成膜され、グレインサイズが50nm～150nmの範囲であることを特徴とするPZT膜。

23. 前記PZT膜がMOCVDで成膜されたことを特徴とする請求項22記載のPZT膜。

24. 前記PZT膜が400～700℃でMOCVDで成膜されたことを特徴とする請求項23記載のPZT膜。

25. 請求項22～24のいずれかに記載のPZT膜を有する容量素子。

Fig.1

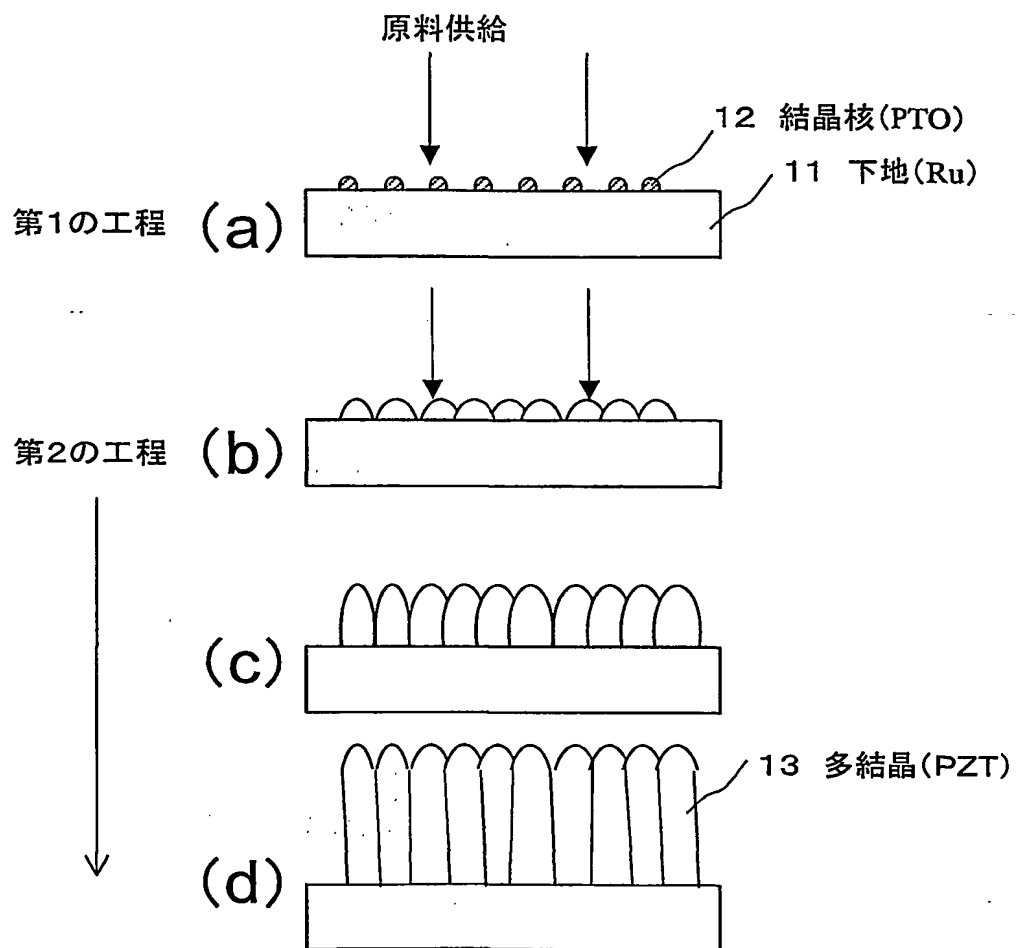


Fig. 2

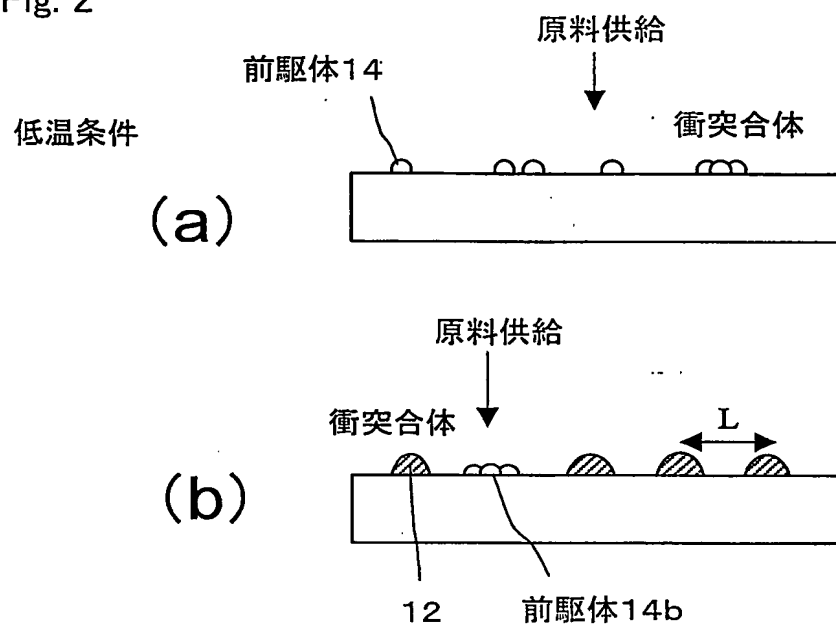


Fig. 3

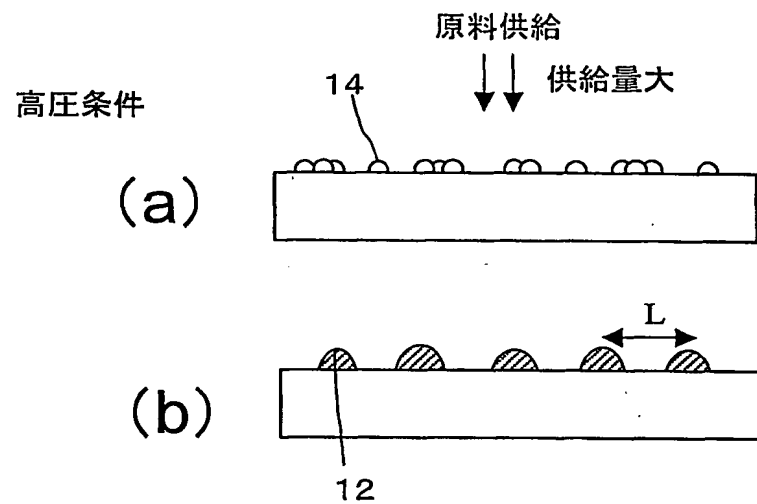


Fig. 4

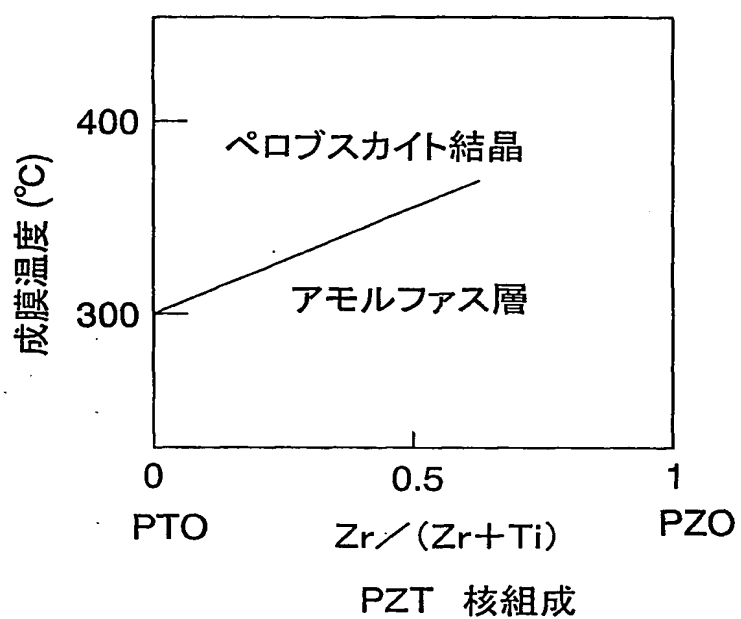


Fig. 5

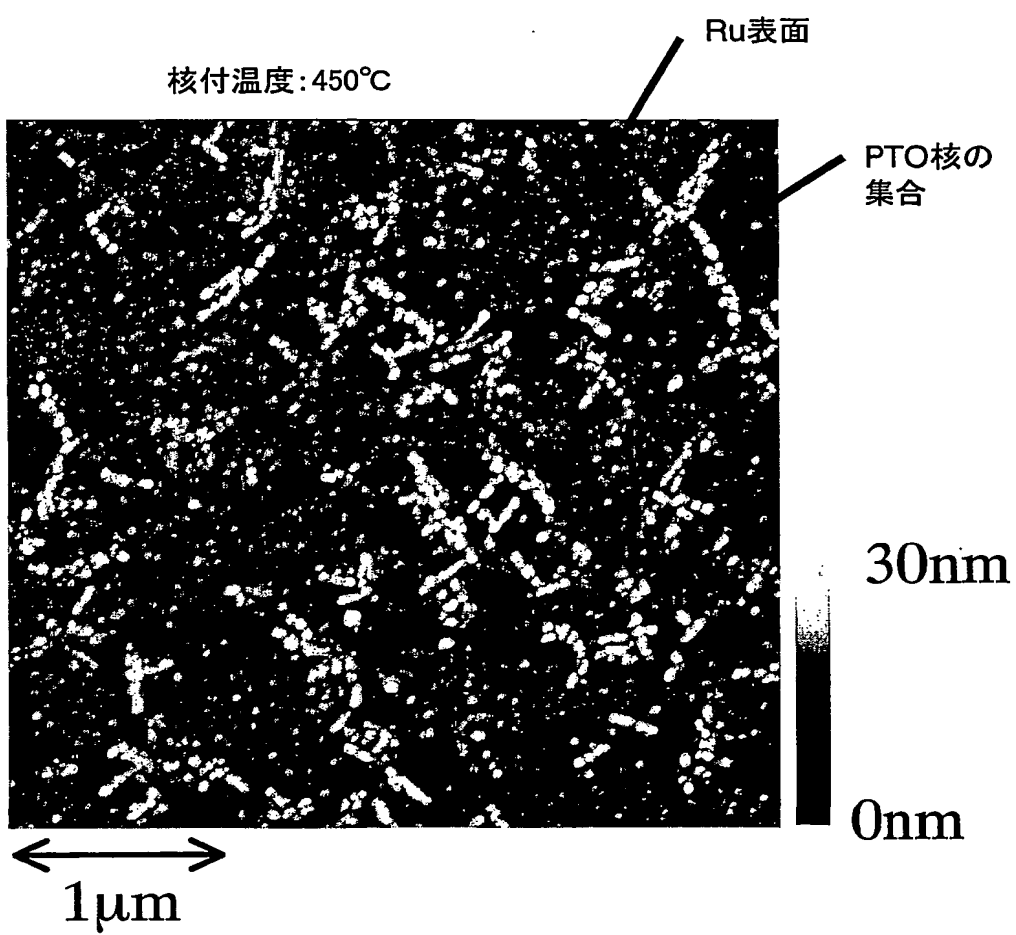


Fig. 6

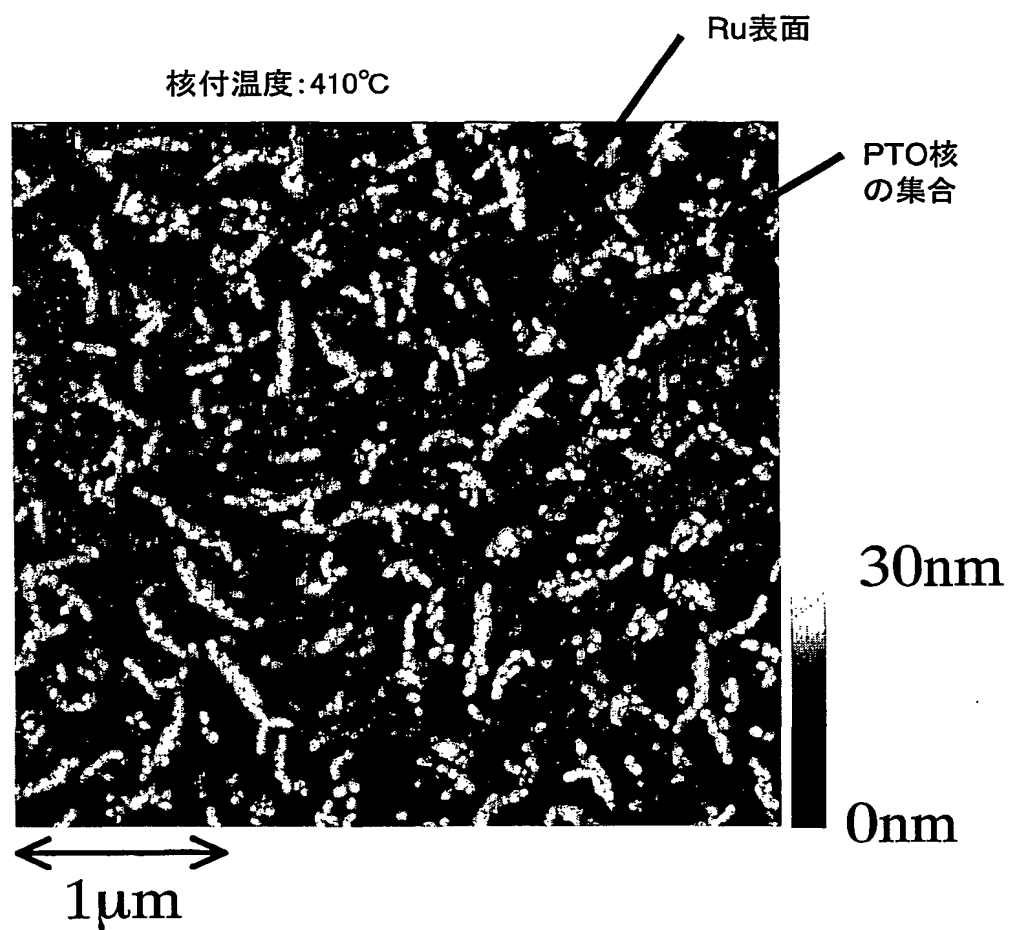


Fig. 7

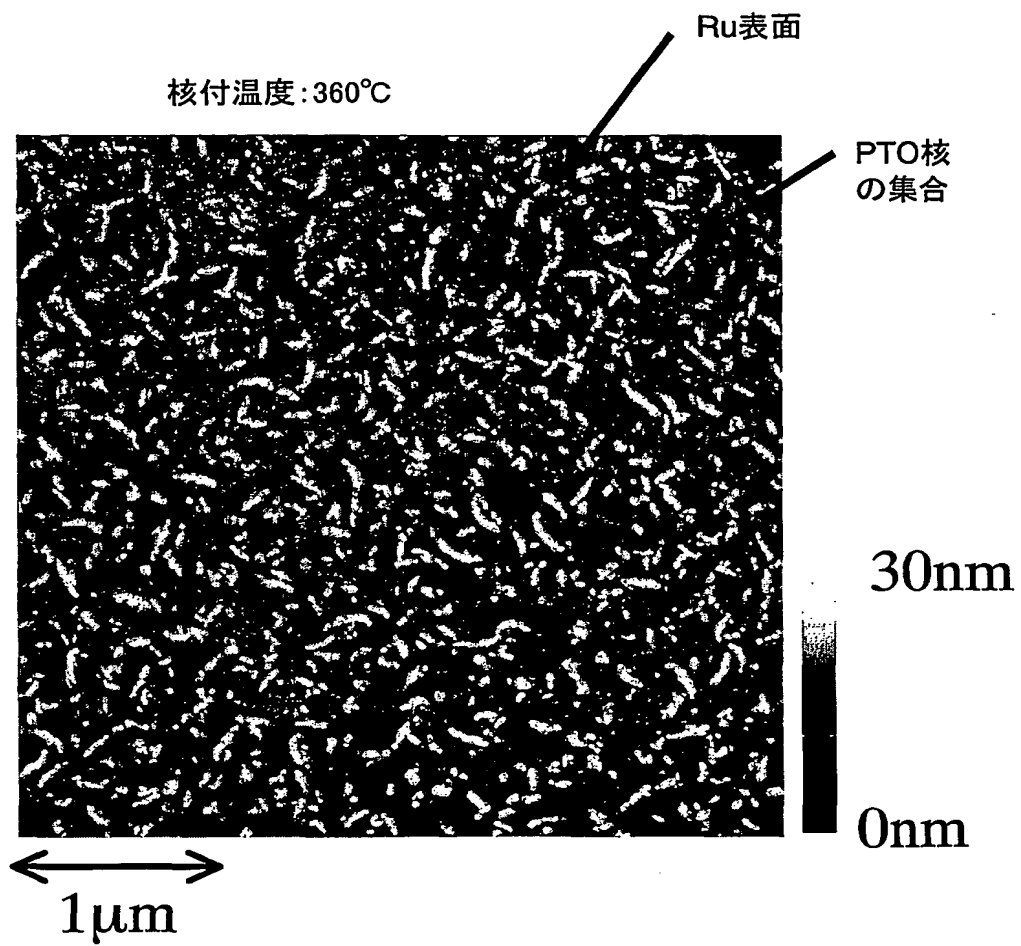


Fig. 8

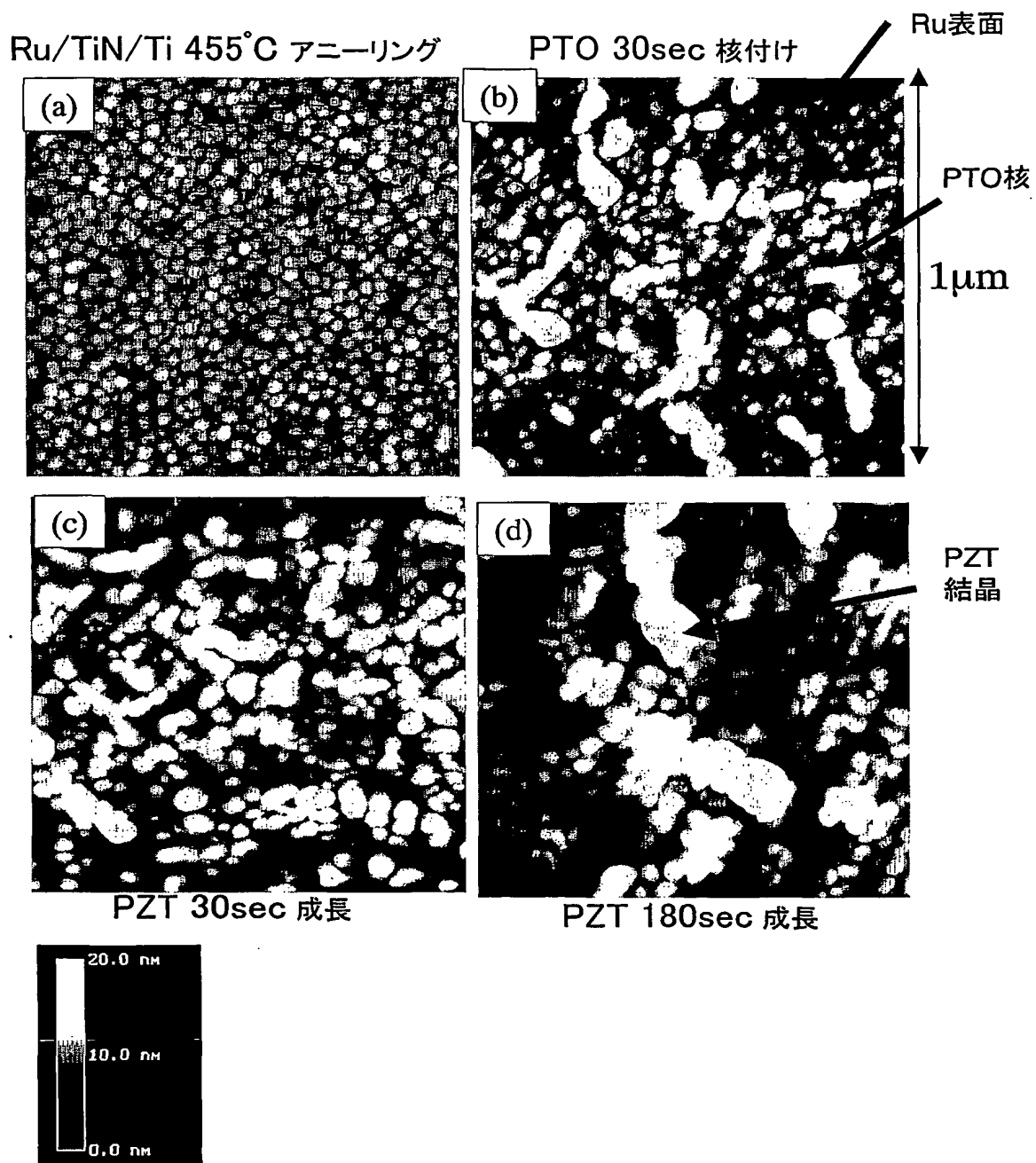
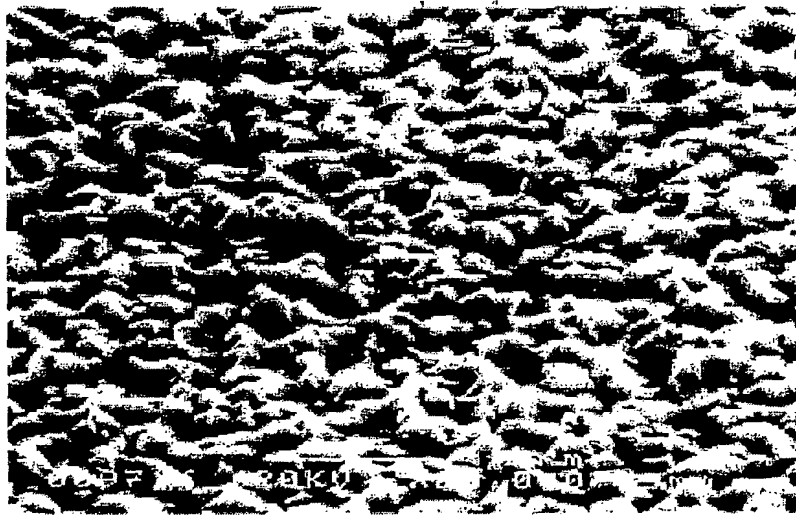


Fig. 9

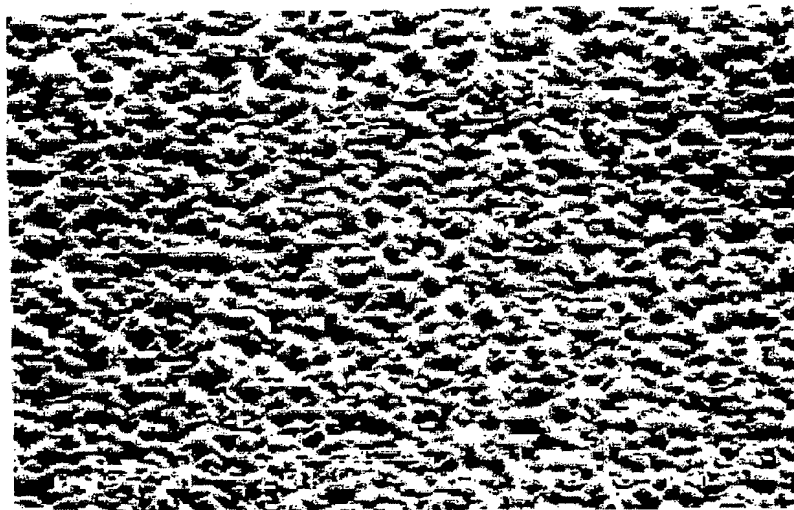
455°C核付け＋455°C成膜



1 μ m

Fig. 10

380°C核付け+455°C成膜



1 μ m

Fig. 11

450°C核付け・成膜



Fig. 12

380°C核付け・450°C成膜



Fig. 13

350°C核付け・450°C成膜



Fig. 14

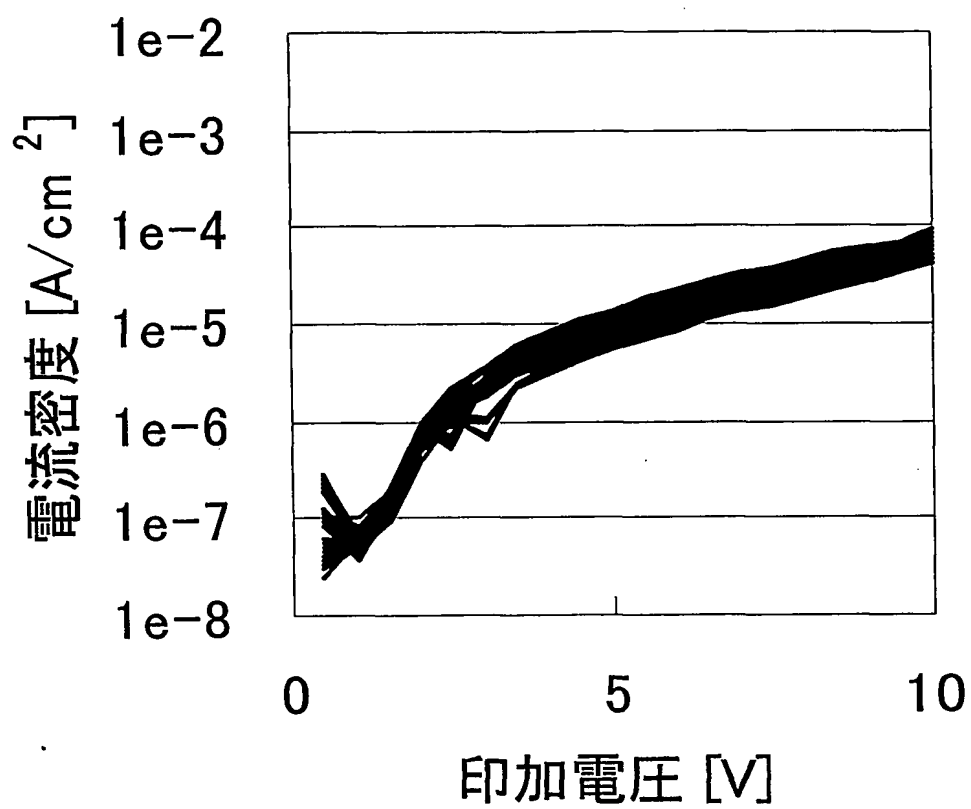


Fig. 15

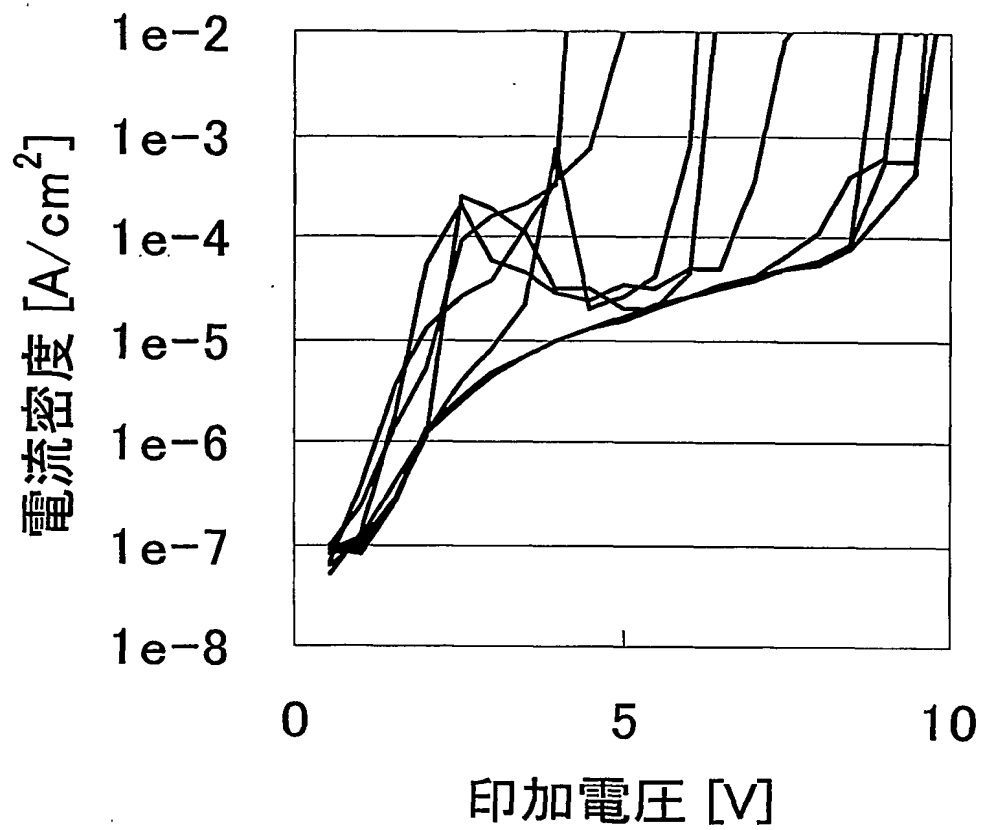


Fig. 16

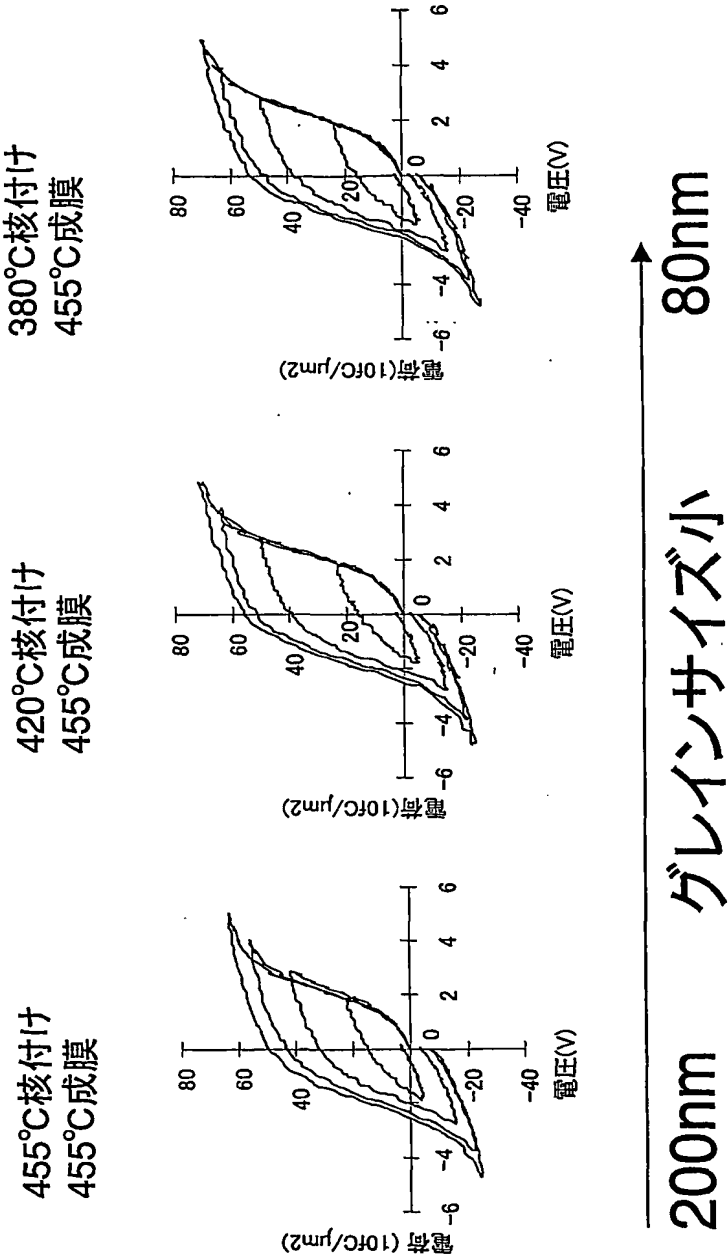


Fig. 17

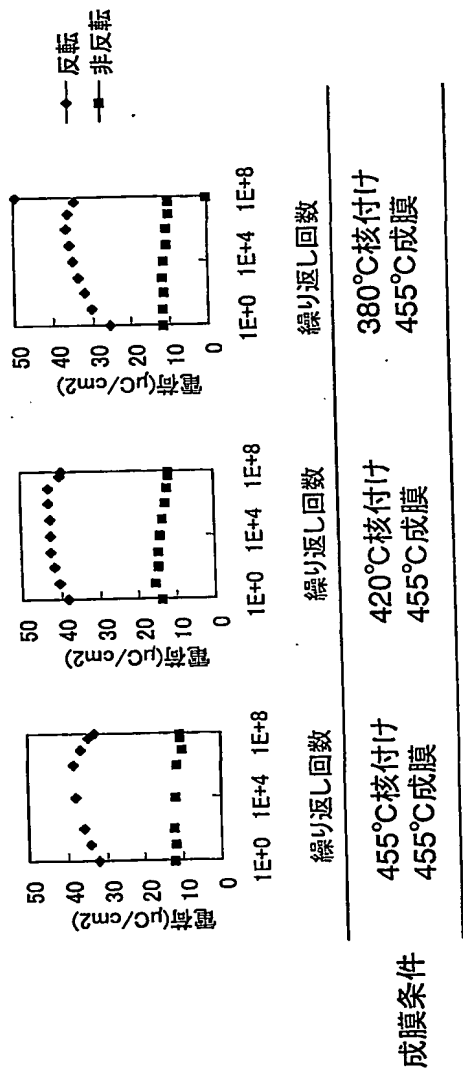


Fig. 18

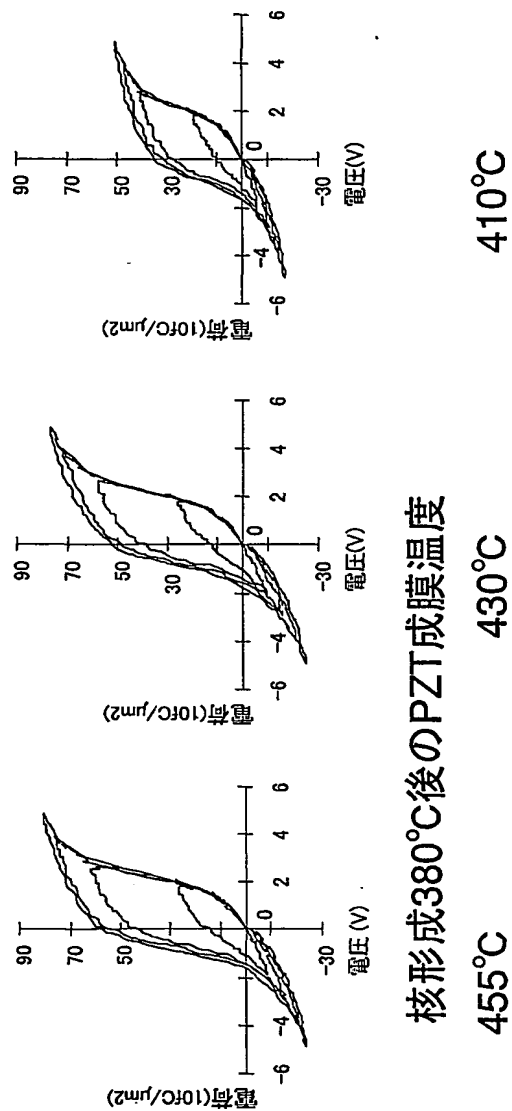
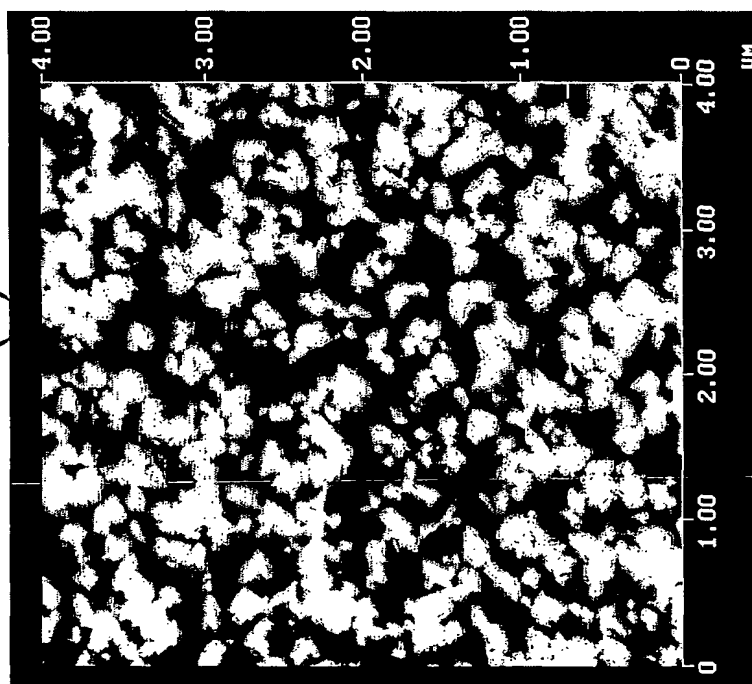


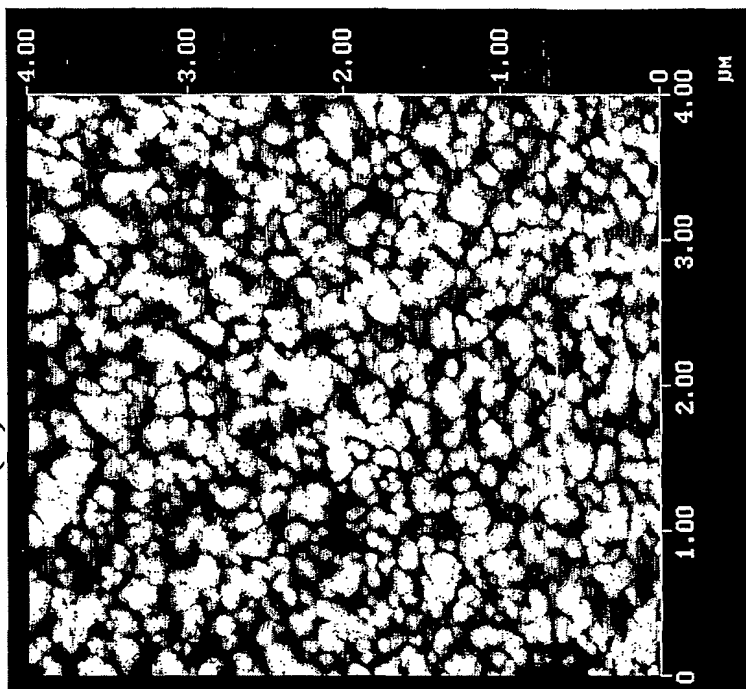
Fig. 19

(a)



核付け100mTorr
成膜 100mTorr

(b)



核付け 1Torr
成膜 100mTorr

Fig. 20

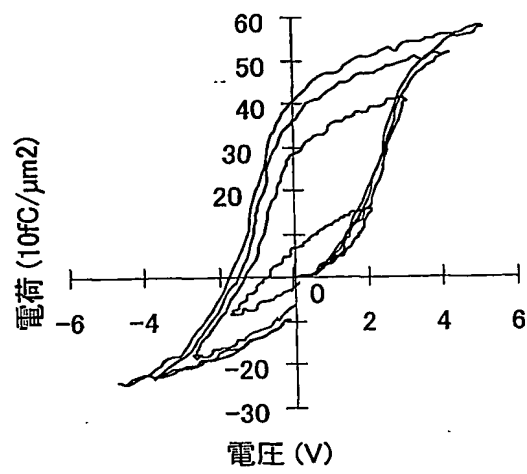
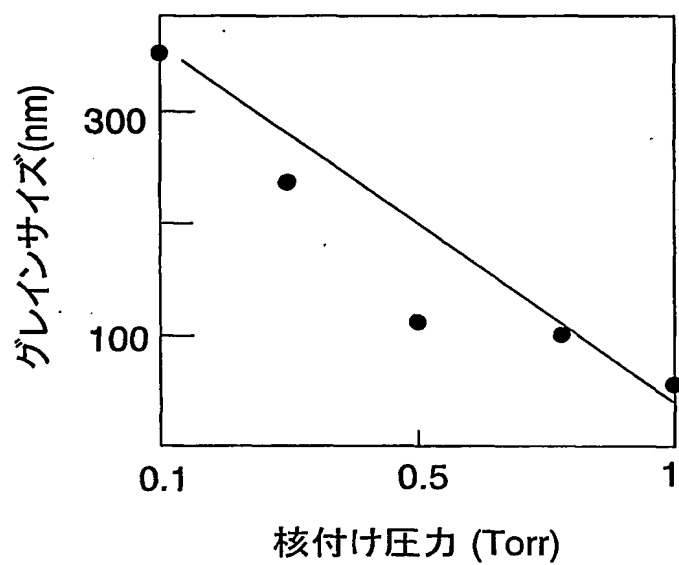


Fig. 21



注: 第2の工程 (PZT成膜) 時圧力0.1Torr

Fig. 22

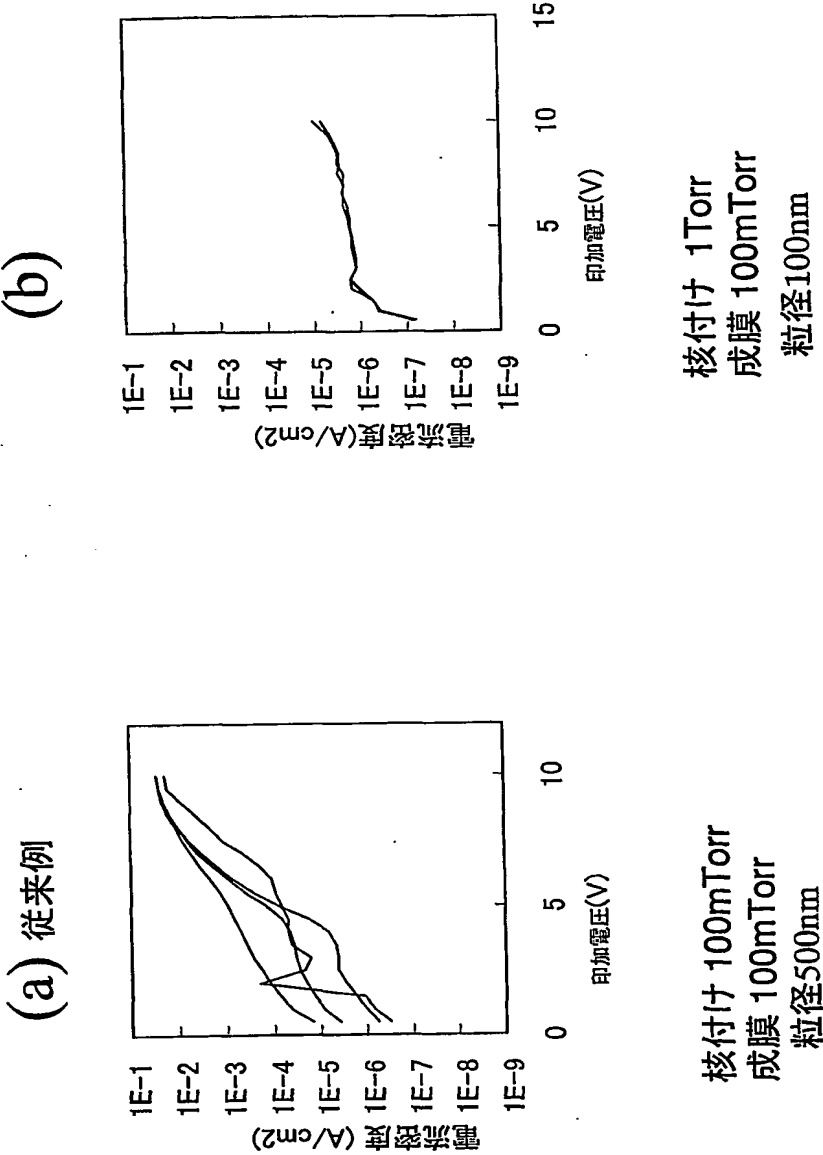
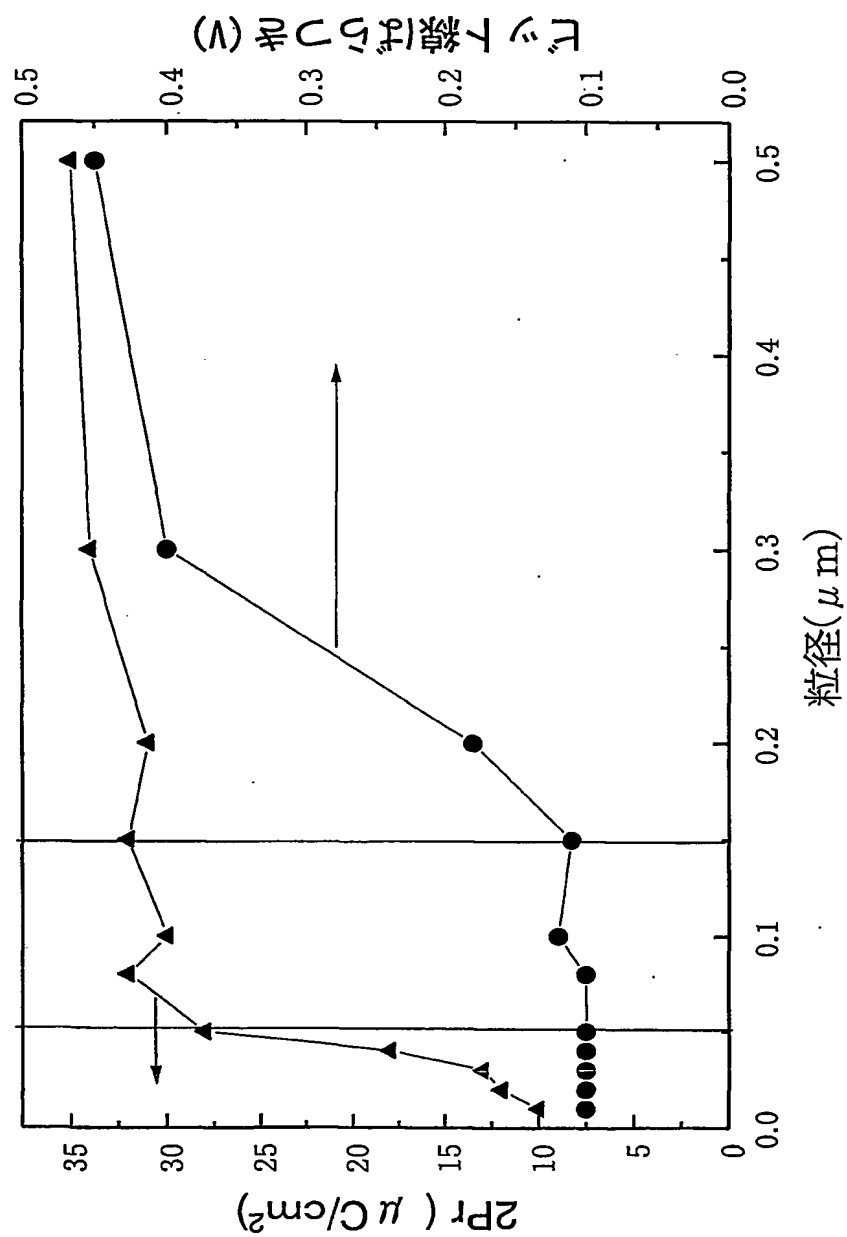


Fig. 23



注: 第2の工程(PZT成膜)時圧力1Torr

Fig. 24

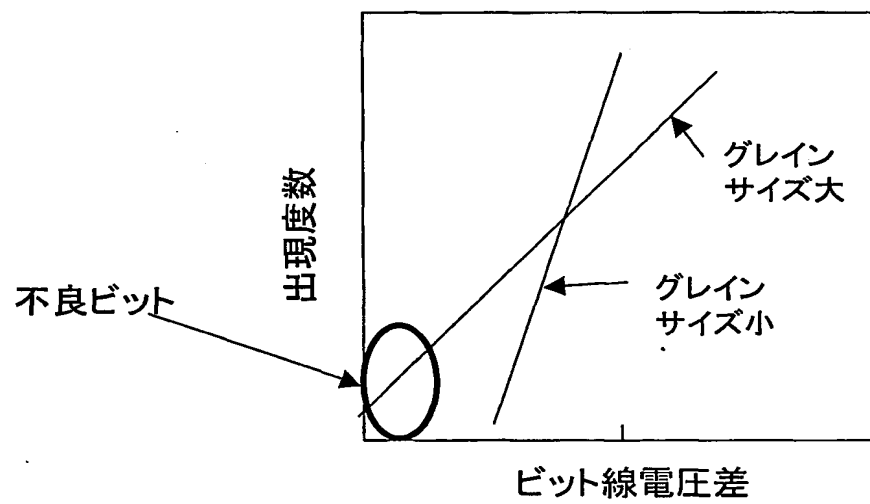


Fig. 25

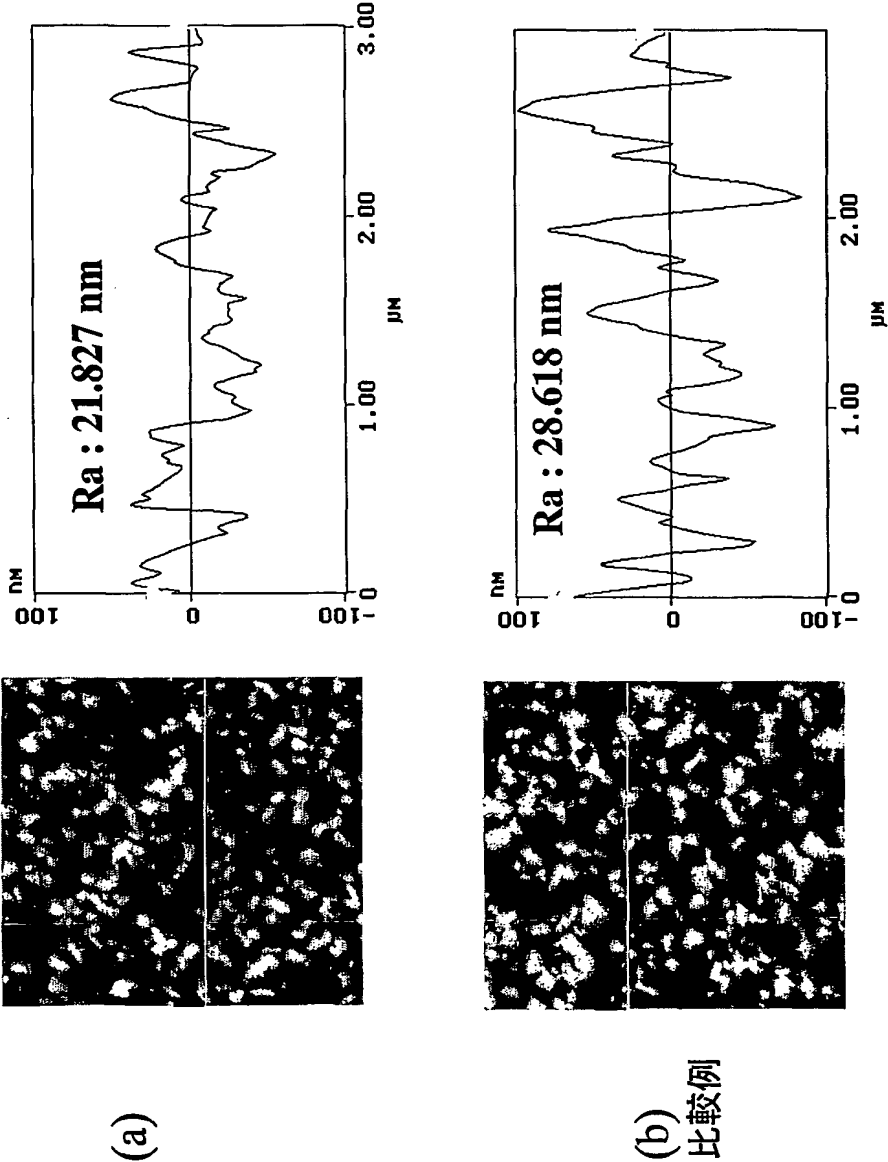
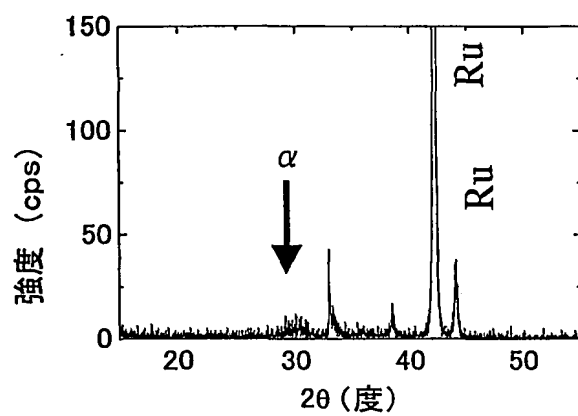
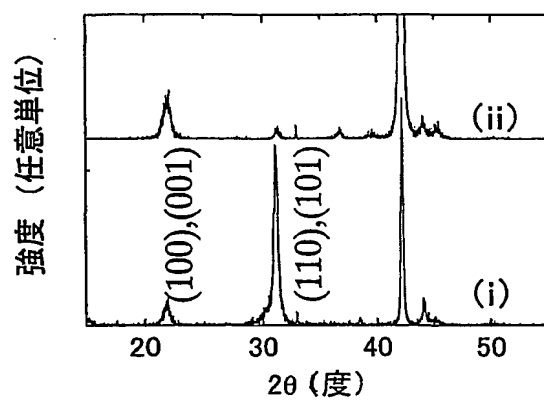


Fig. 26



(a) 初期アモルファス層形成後
(α : アモルファス パイロ相?)



(b) PZT成膜後

(i) 初期アモルファス層形成

(ii) 比較例

Fig. 27

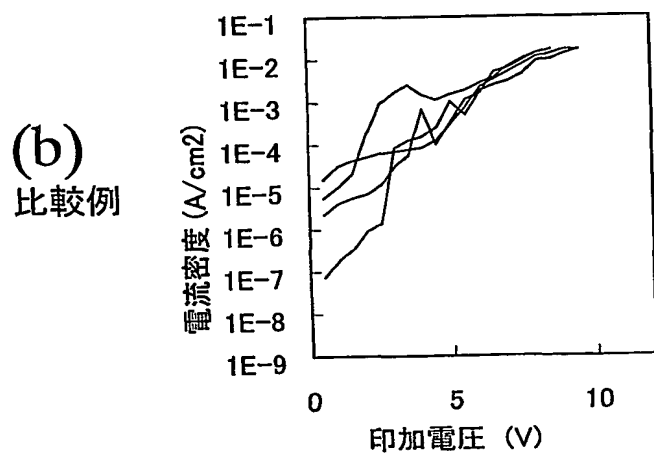
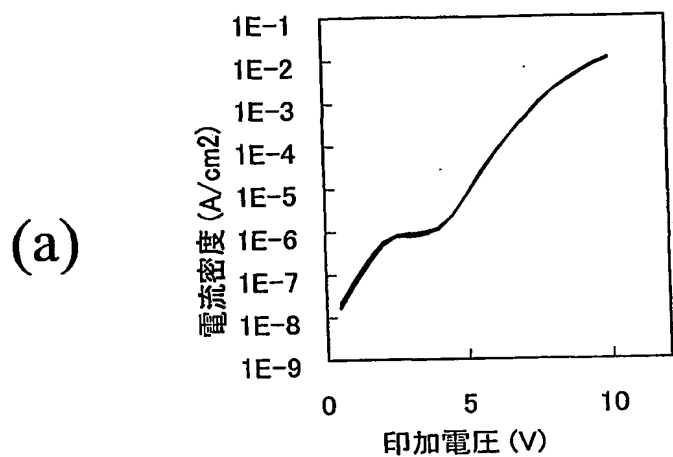


Fig. 28

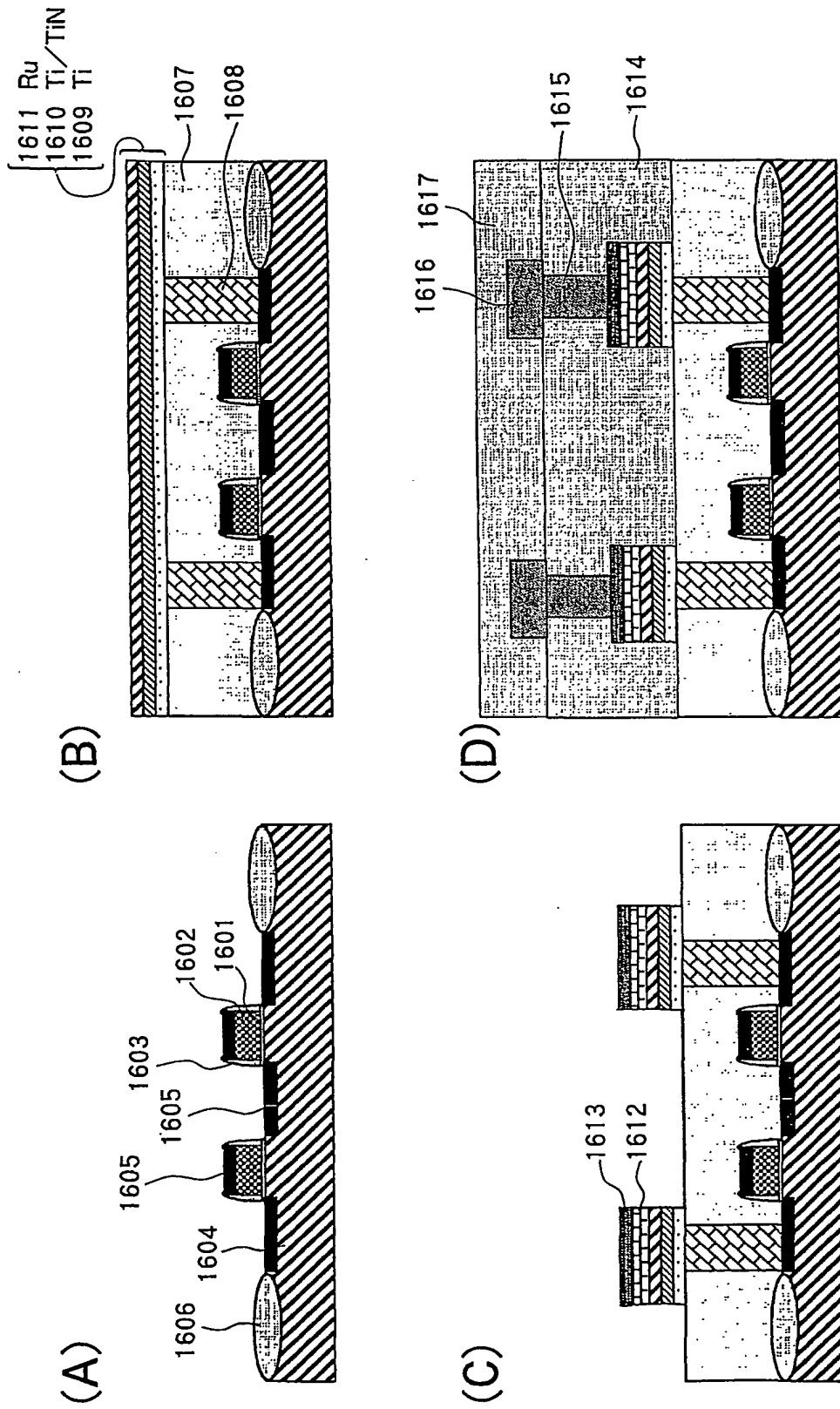
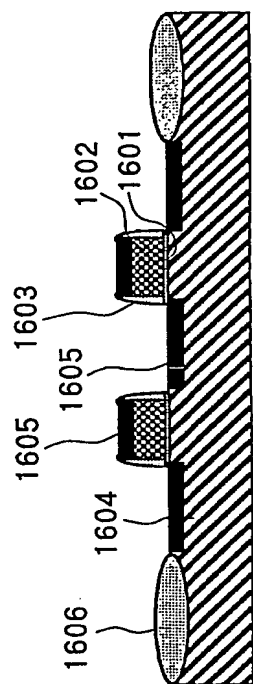
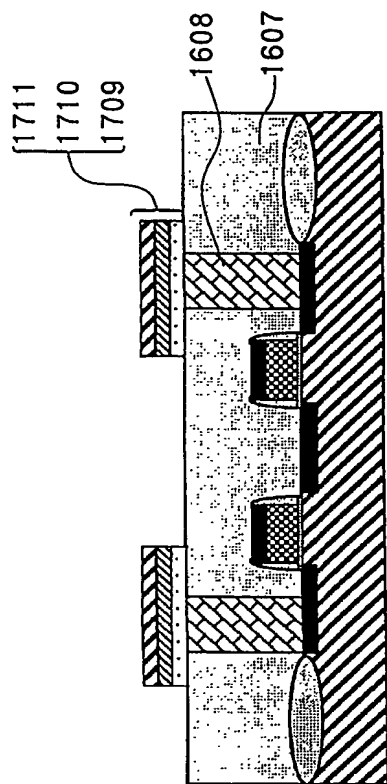


Fig. 29

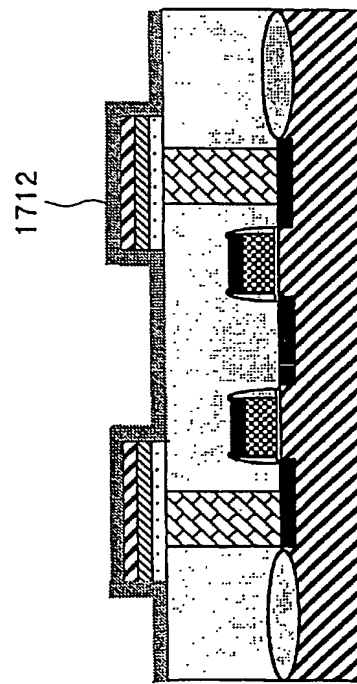
(A)



(B)



(C)



(D)

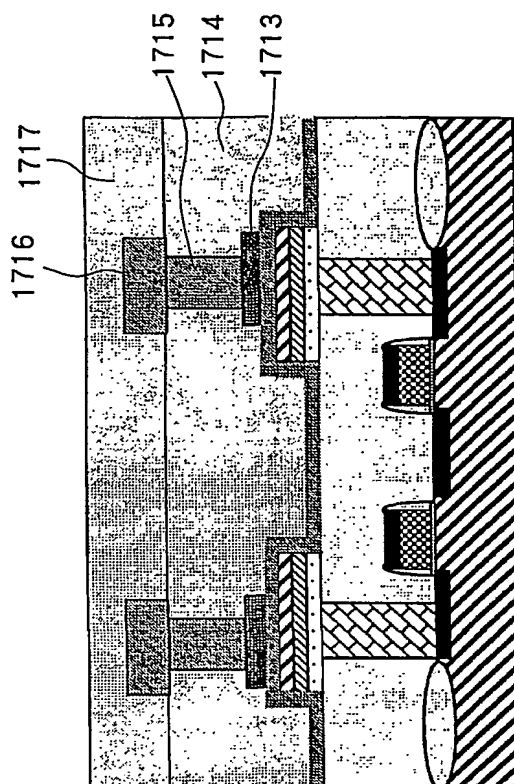
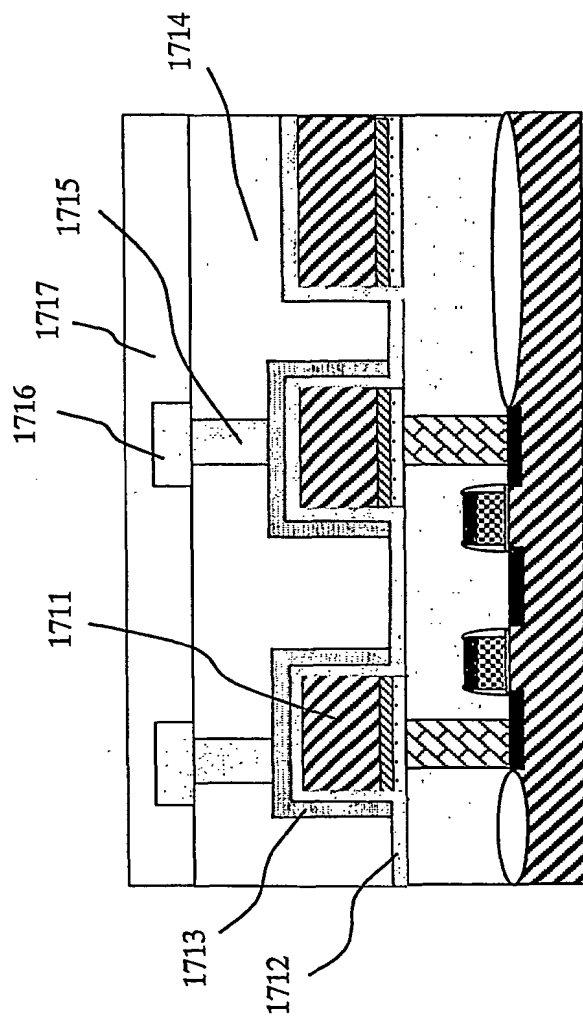


Fig. 30



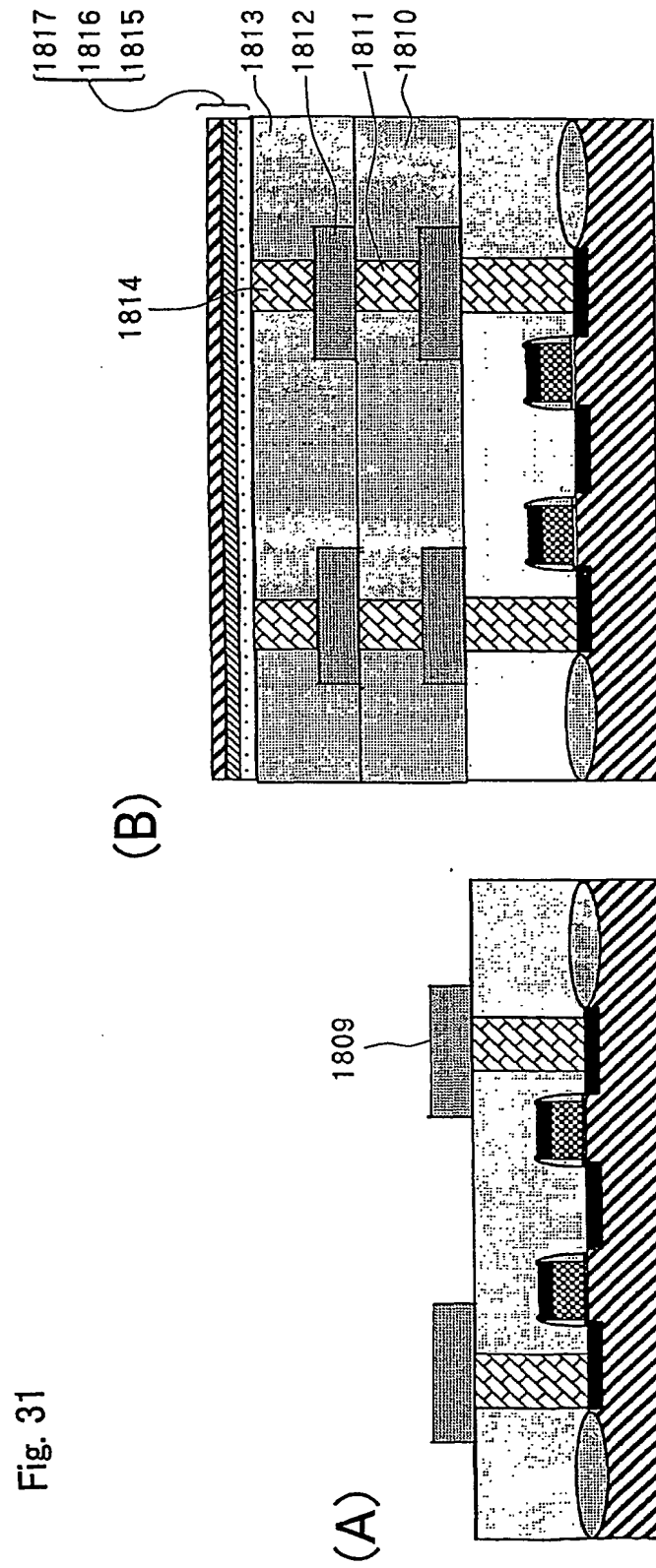


Fig. 32

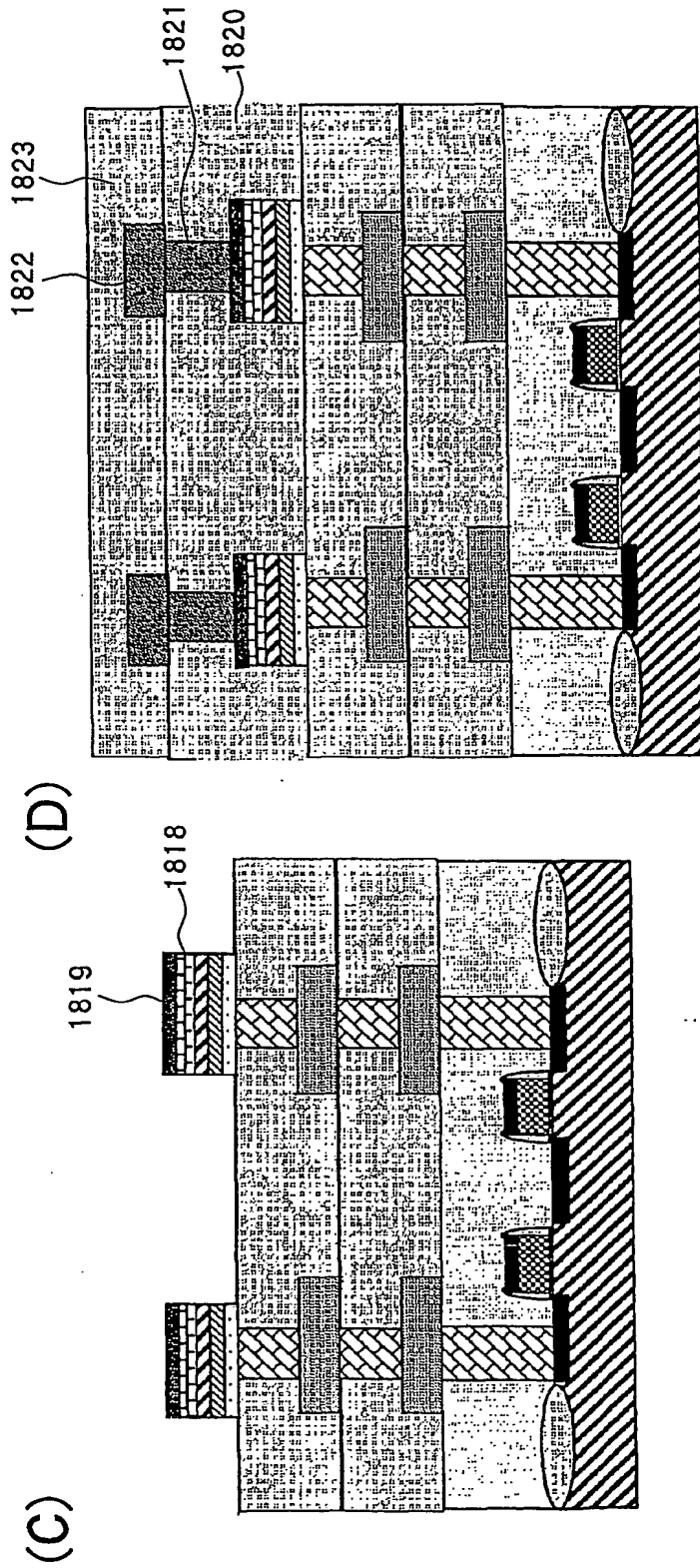


Fig. 33

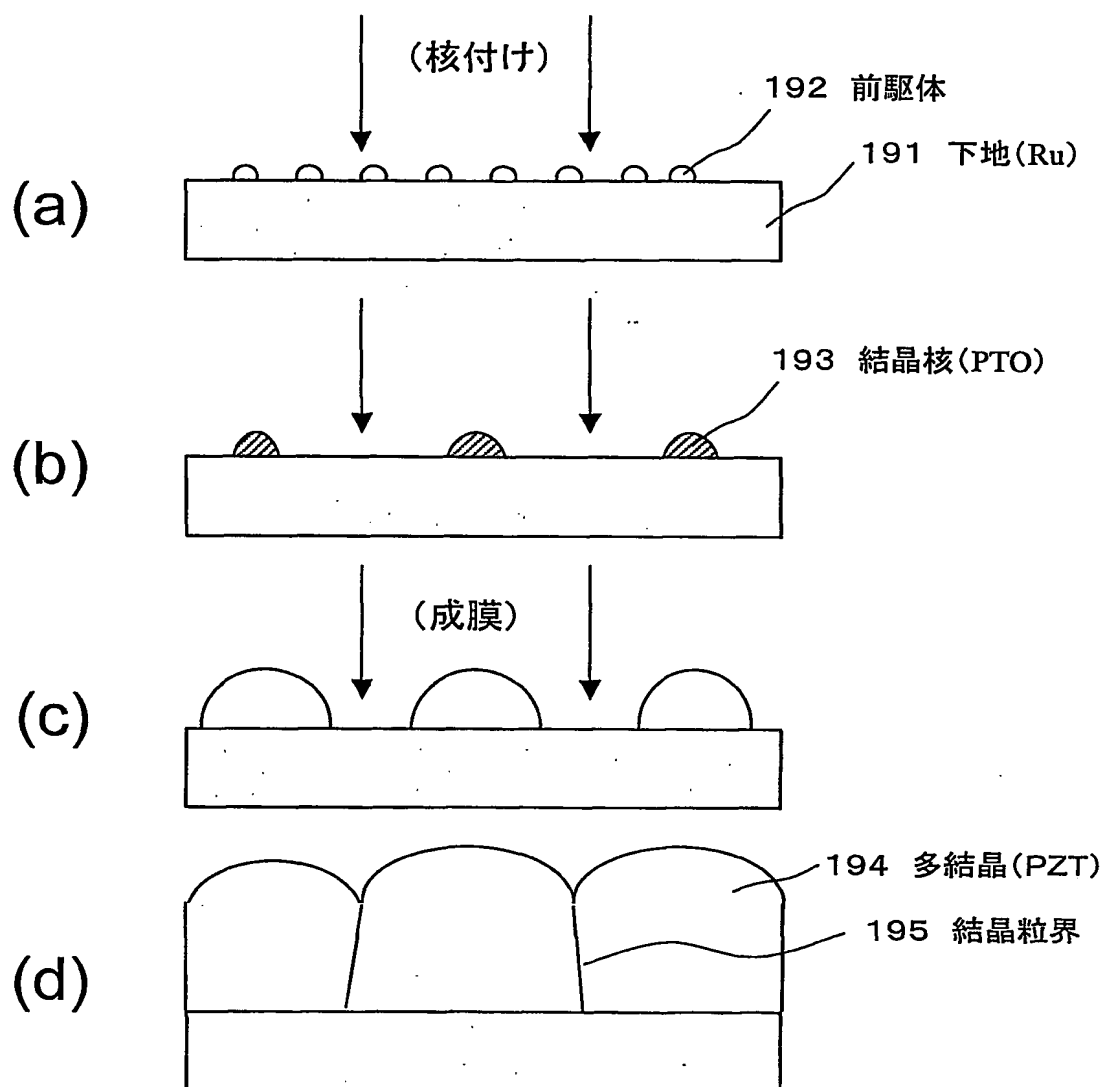
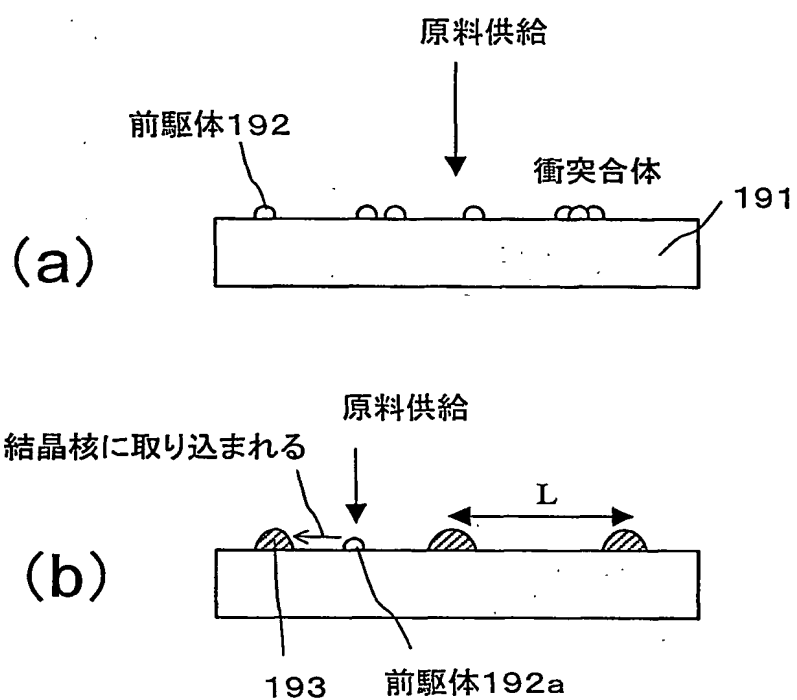


Fig. 34



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02229

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/316, C23C16/40, H01L21/8242, 27/105, 27/108

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/316, C23C16/40, H01L21/8242, 27/105, 27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 00/36640 A1 (Tokyo Electron Ltd.), 22 June, 2000 (22.06.00), Specification; page 9, line 5 to page 35, line 12; Figs. 1 to 12 & EP 1143501 A1	1-21
A	WO 00/55387 A1 (Tokyo Electron Ltd.), 21 September, 2000 (21.09.00), Specification; page 5, line 14 to page 22, line 14; Figs. 1 to 8 & JP 2000-260766 A & EP 1087035 A1	1-21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 May, 2002 (30.05.02)

Date of mailing of the international search report
11 June, 2002 (11.06.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/02229

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 00/08680 A1 (NEC Corp.), 17 February, 2000 (17.02.00), Specification; page 42, line 14 to page 43, line 1; Fig. 4	<u>22-25</u>
A	Specification; page 42, line 14 to page 43, line 1; page 45, line 22 to page 49, line 3; Figs. 4, 29 to 32 & JP 2000-58524 A & JP 2000-58525 A & JP 2000-58526 A & EP 1115148 A1	1-21
X	T. SAKODA, Control of Grain Structure of Sputtering Lead-Zirconate-Titanate Thin Film Using Amorphous Lead-Titanate Buffer Layer, Jpn. J. Appl. Phys. Part 1, 1999, Vol.38, No.9A, pages 5162 to 5165, ISSN 0021-4922	22,25
P,X	EP 1113484 A2 (Applied Materials, Inc.), 04 July, 2001 (04.07.01), Par. Nos. [0021] to [0023] & JP 2001-237392 A Par. Nos. [0020] to [0022]	22-23,25
A	JP 11-354729 A (Hitachi, Ltd.), 24 December, 1999 (24.12.99), Par. Nos. [0017] to [0018], [0025]; Figs. 4, 8 & US 6239457 B1 & US 2001/0023952 A1 & TW 404021 B	22-25

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ H01L 21/316, C23C 16/40, H01L 21/8242, 27/105, 27/108

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ H01L 21/316, C23C 16/40, H01L 21/8242, 27/105, 27/108

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 00/36640 A1 (東京エレクトロン株式会社) 2000.06.22 明細書第9頁第5行-第35頁第12行, 図1-12 & EP 1143501 A1	1-21
A	WO 00/55387 A1 (東京エレクトロン株式会社) 2000.09.21 明細書第5頁第14行-第22頁第14行, 図1-8 & JP 2000-260766 A & EP 1087035 A1	1-21

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

30.05.02

国際調査報告の発送日

11.06.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

藤原 敬士

4R

2929

電話番号 03-3581-1101 内線 3469

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>X</u> A	WO 00/08680 A1 (日本電気株式会社) 2000. 02. 17 明細書第42頁第14行-第43頁第1行, 図4 明細書第42頁第14行-第43頁第1行, 第45頁第22行-第49頁第3行, 図4, 図29-32 & JP 2000-58524 A & JP 2000-58525 A & JP 2000-58526 A & EP 1115148 A1	<u>22-25</u> 1-21
X	T. SAKODA, Control of Grain Structure of Sputtering Lead-Zirconate-Titanate Thin Film Using Amorphous Lead-Titanate Buffer Layer, Jpn. J. Appl. Phys. Part 1, 1999, Vol. 38, No. 9A, p. 5162-5165, ISSN 0021-4922	22, 25
P, X	EP 1113484 A2 (Applied Materials, Inc.) 2001. 07. 04, [0021] - [0023] & JP 2001-237392 A, 【0020】 - 【0022】	22-23, 25
A	JP 11-354729 A (株式会社日立製作所) 1999. 12. 24 【0017】 - 【0018】, 【0025】, 図4, 図8 & US 6239457 B1 & US 2001/0023952 A1 & TW 404021 B	22-25

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.